

처음 만나는 디지털 논리회로

제07장 조합논리회로

기출문제 풀이

01. 조합(combination) 논리회로에 대해 설명한 것은?

- ① 출력 신호가 입력 신호에 의해서만 결정되는 논리회로다.
- ② 플립플롭과 같은 기억 소자를 갖고 있는 논리회로다.
- ③ 출력 신호가 입력 신호와 현재의 논리회로의 상태에 의해 결정되는 논리회로다.
- ④ 기억 능력을 가진 논리회로다.

- 조합논리회로 : 출력 신호가 입력 신호에 의해서만 결정되는 논리회로
- 순서논리회로 : 출력 신호가 입력 신호와 현재의 논리회로 상태에 의해 결정되는 논리회로

02. 조합논리회로 설계의 절차상 순서로 맞는 것은?

- ㉠ 문제설정
- ㉡ 입력과 출력변수 정의
- ㉢ 불 함수 간소화
- ㉣ 진리표 작성
- ㉤ 논리회로 구현

- ① $a \rightarrow b \rightarrow c \rightarrow d \rightarrow e$
- ② $a \rightarrow c \rightarrow b \rightarrow d \rightarrow e$
- ③ $a \rightarrow d \rightarrow c \rightarrow b \rightarrow e$
- ④ $a \rightarrow b \rightarrow d \rightarrow c \rightarrow e$

조합논리회로 설계는 주어진 문제를 설정하고 입출력 변수를 정의한다. 문제 해결을 위한 진리표를 작성한 후, 간소화하고 이를 논리회로로 구성하면 된다.

03. 출력되는 불 함수의 값이 입력값에 의해서만 정해지고 내부에 기억 능력이 없는 논리회로는?

- ① 조합논리회로
- ② 순서논리회로
- ③ 집적논리회로
- ④ 혼합논리회로

조합논리회로는 출력 신호가 입력 신호에 의해서만 결정되는 논리회로다.

04. 조합논리회로가 아닌 것은?

- ① 디코더
- ② 인코더
- ③ 멀티플렉서
- ④ 계수 회로

카운터(계수 회로)는 순서논리회로의 일종이다.

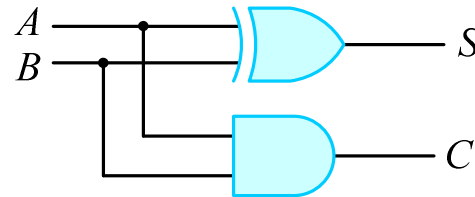
05. 다음 중 조합논리회로로만 나열한 것은?

- ① adder, flip-flop
- ② multiplexer, encoder
- ③ decoder, counter
- ④ ring counter, subtractor

flip-flop, counter는 순서논리회로의 일종이다.

08. 다음 논리회로의 이름은?

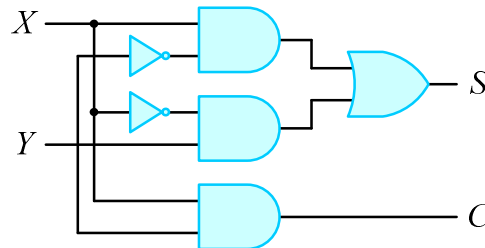
- ① 반가산기
- ② 전가산기
- ③ 반감산기
- ④ 전감산기



반가산기는 XOR 게이트 1개와 AND 게이트 1개로 구성된다.

09. 다음 논리회로의 이름은?

- ① full-adder
- ② half-adder
- ③ full-subtractor
- ④ half-subtractor



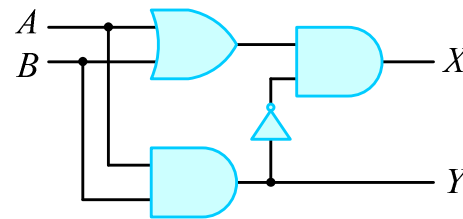
반가산기는 XOR 게이트 1개와 AND 게이트 1개로 구성된다.

$$S = X\bar{Y} + \bar{X}Y = X \oplus Y \text{ (XOR 게이트)}$$

$$C = XY \text{ (AND 게이트)}$$

10. 다음 그림의 회로도에 해당되는 것은?

- ① 반가산기
- ② 전가산기
- ③ 반감산기
- ④ 전감산기



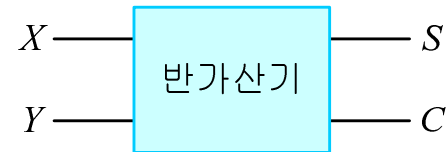
반가산기는 XOR 게이트 1개와 AND 게이트 1개로 구성된다.

$$X = (A + B)\overline{AB} = (A + B)(\overline{A} + \overline{B}) = \overline{A}B + A\overline{B} = A \oplus B \text{ (XOR 게이트)}$$

$$Y = AB \text{ (AND 게이트)}$$

11. 다음은 반가산기(half-adder)의 블록도다. 출력단자 S (sum) 및 C (carry)에 나타나는 논리식은 ?

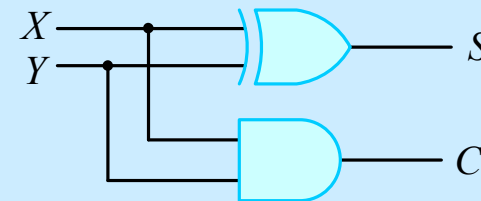
- ① $S = XY + \overline{X}Y, \quad C = XY$
- ② $S = \overline{X}Y + \overline{X}\overline{Y}, \quad C = \overline{X}Y$
- ③ $S = \overline{X}Y + X\overline{Y}, \quad C = XY$
- ④ $S = XY + X\overline{Y}, \quad C = X\overline{Y}$



반가산기는 XOR 게이트 1개와 AND 게이트 1개로 구성된다.

$$S = X \oplus Y = \overline{X}Y + X\overline{Y} \quad (\text{XOR 게이트})$$

$$C = XY \quad (\text{AND 게이트})$$



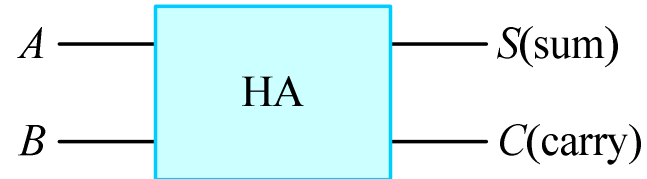
12. 다음 그림은 반가산기의 기호이다. 입력 $A=1, B=1$ 인 경우 출력 S, C 값은?

① $S=0, C=0$

② $S=0, C=1$

③ $S=1, C=0$

④ $S=1, C=1$



입력		출력	
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

반가산기의 진리표

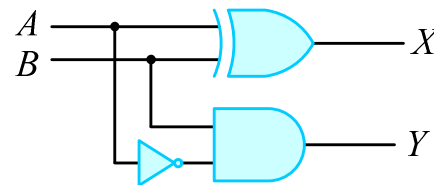
13. 반가산기 합 또는 반감산기 차를 얻기 위해 필요한 게이트는?

- ① XOR 게이트
- ② XNOR 게이트
- ③ OR 게이트
- ④ AND 게이트

반가산기 합 또는 반감산기 차를 얻는 게이트는 XOR 게이트이다.

14. 그림과 같은 회로는?

- ① 반감산기
- ② 전감산기
- ③ 반가산기
- ④ 전가산기



반감산기는 $X = \bar{A}B + A\bar{B} = A \oplus B$, $Y = \bar{A}B$ 로 구성된다.

15. 반감산기의 동작을 옳게 나타낸 것은?

- ① 1자리의 2진수의 감산을 하는 동작을 한다.
- ② 2자리의 2진수의 감산을 하는 동작을 한다.
- ③ 3자리의 2진수의 감산을 하는 동작을 한다.
- ④ 1자리의 carry를 덧셈과 같이 감산하는 동작을 한다.

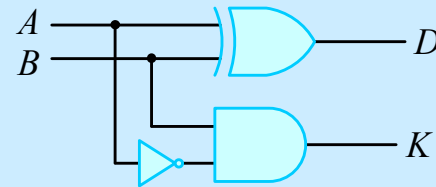
반감산기는 1자리 2진수의 뺄셈 동작을 한다.

16. 다음 진리표를 만족하는 회로는?

- ① AND gate
- ② XOR gate
- ③ 반감산기
- ④ 전감산기

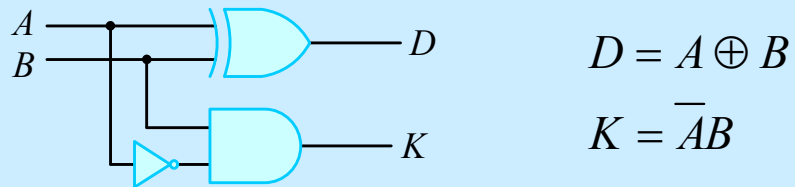
입력		출력	
A	B	K	D
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

반감산기는 $D = \bar{A}B + A\bar{B} = A \oplus B$, $K = \bar{A}B$ 로 구성된다.



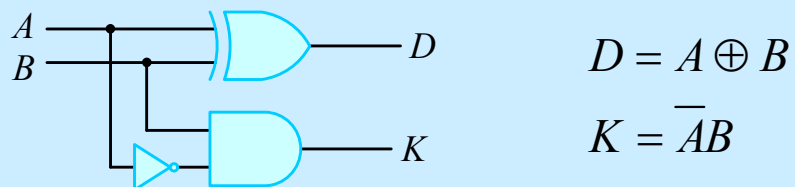
17. 반감산기에서 차(difference)를 올바르게 나타낸 것은?

- ① $\bar{A}B + A\bar{B}$ ② $A + B$
 ③ $\bar{A}B$ ④ AB



18. 반감산기($A-B$)에서 자리 내림수(borrow)를 얻기 위한 기능은?

- ① $\bar{A}\bar{B}$ ② AB
 ③ $\bar{A}B$ ④ $A\bar{B}$



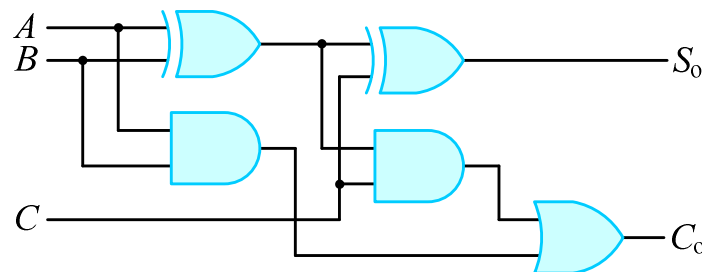
19. 전가산기에 대한 설명 중 옳지 않은 것은?

- ① 입력이 가수, 피가수, 자리 올림수 등 3개가 된다.
- ② 합은 공식으로 $(A + B)C + AB$ 로 나타난다.
- ③ 반가산기 2개로 전가산기를 만들 수 있다.
- ④ 합의 공식은 $(A \oplus B) \oplus C$ 이다. 이 때 가수 A , 피가수 B , 자리올림수 C 이다.

전가산기에서 합(sum)은 $S = A \oplus B \oplus C$ 이다.

20. 다음 논리회로의 기능을 나타낸 이름 중 옳은 것은?

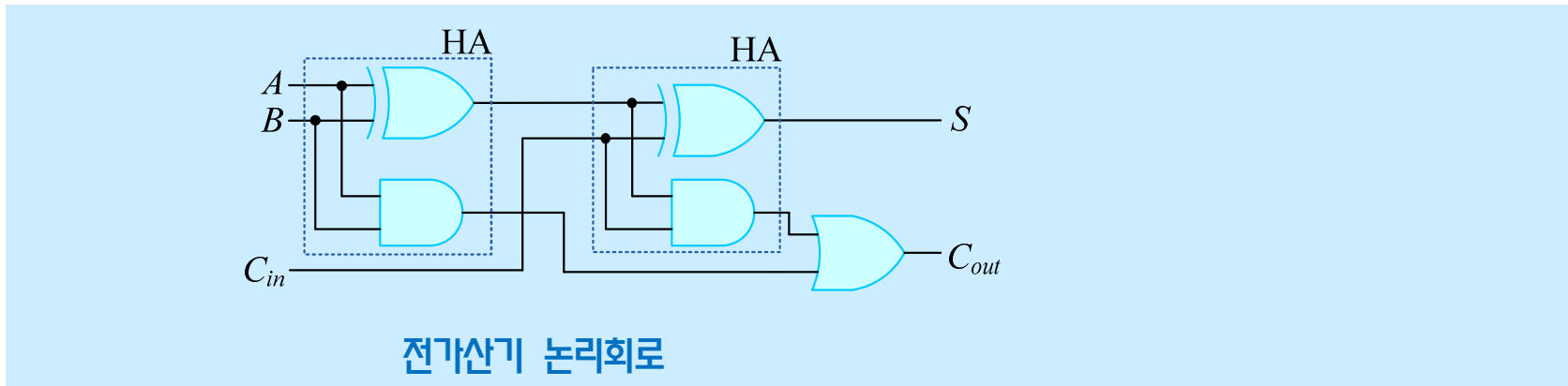
- ① 인코더
- ② 디코더
- ③ 반가산기
- ④ 전가산기



반가산기 2개, OR 게이트 1개로 구성되었으므로 전가산기이다.

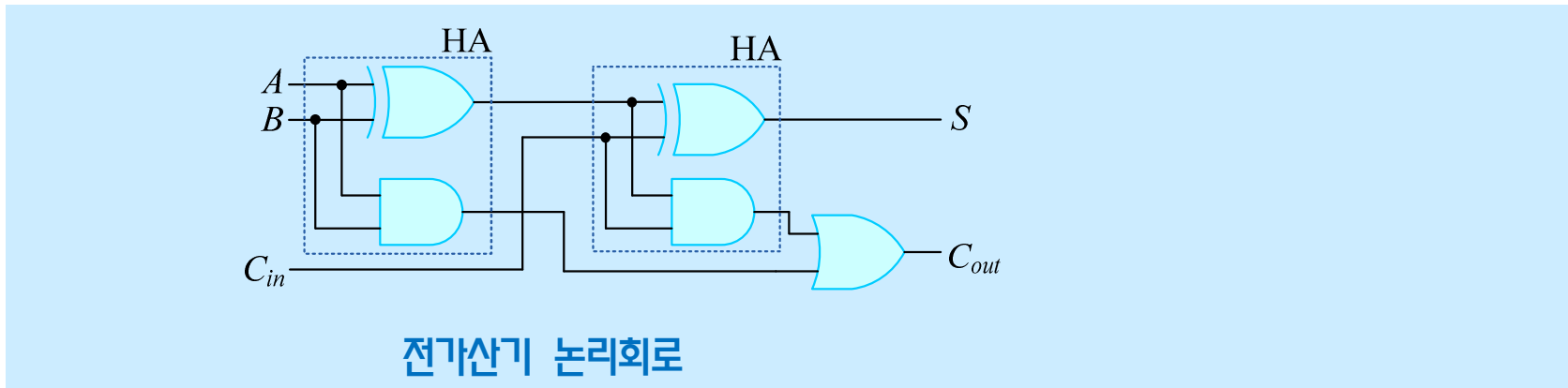
21. 전가산기 회로(full-adder)의 구성으로 옳은 것은?

- ① 입력 2개, 출력 4개로 구성
- ② 입력 2개, 출력 3개로 구성
- ③ 입력 3개, 출력 2개로 구성
- ④ 입력 3개, 출력 3개로 구성



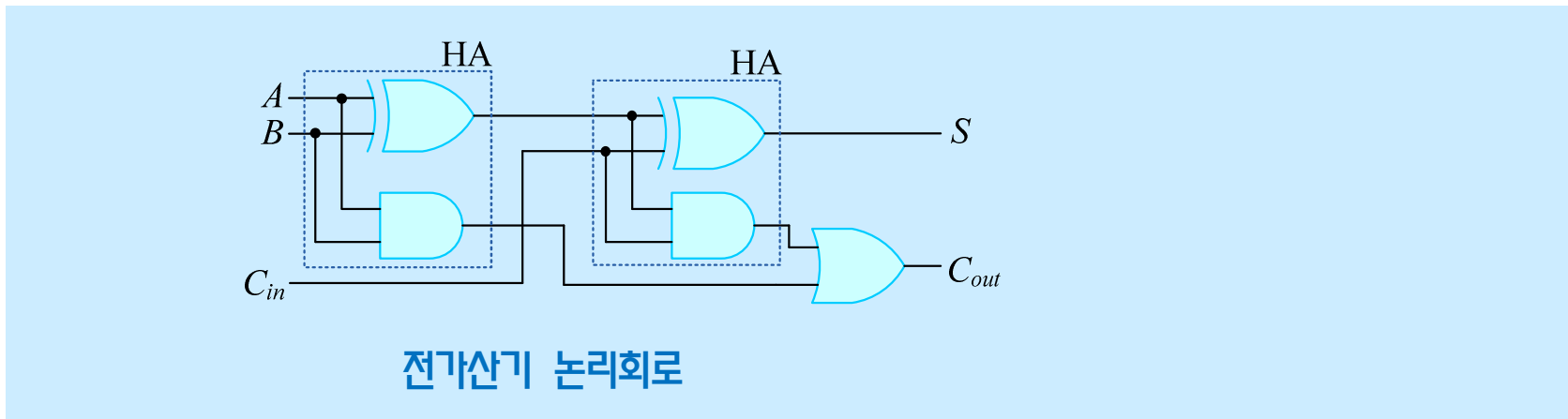
22. 전가산기의 회로 구성은?

- ① 2개의 반가산기와 1개의 OR 게이트로 구성
- ② 2개의 반가산기와 1개의 NOR 게이트로 구성
- ③ 2개의 반가산기와 1개의 AND 게이트로 구성
- ④ 2개의 반가산기와 1개의 NAND 게이트로 구성



23. 다음 중 자리올림이 있는 덧셈에 사용하기 위한 전가산기(full-adder)의 회로 구성은?

- ① 2개의 XOR, 3개의 AND
- ② 2개의 XOR, 2개의 AND, 1개의 OR
- ③ 2개의 XOR, 2개의 OR, 1개의 AND
- ④ 2개의 XOR, 2개의 AND, 1개의 OR



24. A, B 가 각각 합하는 수의 비트이고 C_0 가 낮은 자리에서의 올림수 비트 일 때 전가산기의 합(S)에 대한 불 함수로 옳지 **않은** 것은?

- ① $S = (\overline{A}B + A\overline{B})\overline{C_0} + (\overline{A}\overline{B} + AB)C_0$
- ② $S = (A \oplus B)\overline{C_0} + (\overline{A \oplus B})C_0$
- ③ $S = (A \oplus B) \oplus C_0$
- ④ $S = (A \oplus C_0) + (\overline{A} \oplus C_0) + (B \oplus C_0) + (\overline{B} \oplus C_0)$

입력			출력	
A	B	C_0	S	C_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

전가산기 진리표

$$\begin{aligned}
 S &= (\overline{A}B + A\overline{B})\overline{C_0} + (\overline{A}\overline{B} + AB)C_0 \\
 &= (A \oplus B)\overline{C_0} + (\overline{A \oplus B})C_0 \\
 &= (A \oplus B) \oplus C_0 \\
 &= A \oplus B \oplus C_0
 \end{aligned}$$

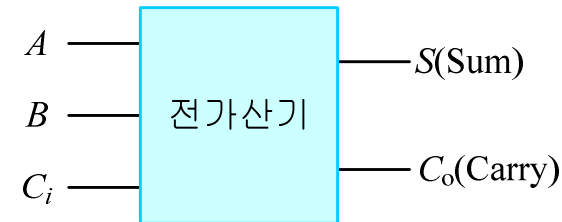
25. 그림은 전가산기이다. 출력 S 와 C_o 의 논리식은?

① $S = \overline{A \oplus B \oplus C_i}, C_o = AB + BC_i + AC_i$

② $S = A + B + C_i, C_o = \overline{AB + BC_i + AC_i}$

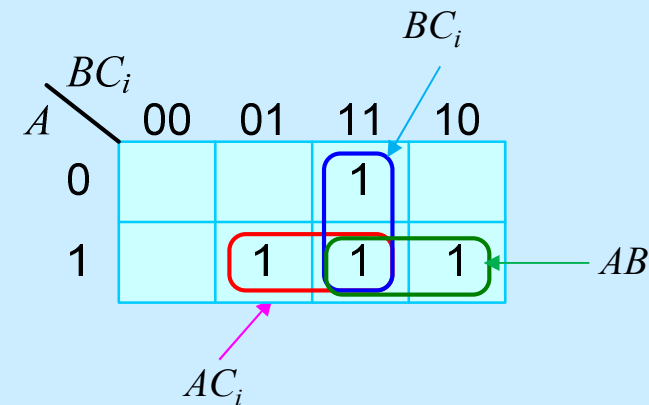
③ $S = A \oplus B \oplus C_i, C_o = AB + BC_i + AC_i$

④ $S = \overline{A + B + C_i}, C_o = \overline{AB + BC_i + AC_i}$



입력			출력	
A	B	C _i	S	C _o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$\begin{aligned}
 S &= \overline{A}\overline{B}C_i + \overline{A}B\overline{C}_i + A\overline{B}\overline{C}_i + ABC_i \\
 &= \overline{A}(\overline{B}C_i + B\overline{C}_i) + A(\overline{B}\overline{C}_i + BC_i) \\
 &= A \oplus (B \oplus C_i) = A \oplus B \oplus C_i
 \end{aligned}$$



$$\begin{aligned}
 C_o &= \overline{A}BC_i + A\overline{B}C_i + AB\overline{C}_i + ABC_i \\
 &= AB + BC_i + AC_i
 \end{aligned}$$

26. 회로의 논리 함수가 다수결 함수(majority function)를 포함하고 있는 것은?

- ① 전가산기
- ② 전감산기
- ③ 3-to-8 디코더
- ④ 우수 패리티 발생기

입력			출력	
A	B	C_i	S	C_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

전가산기 진리표

전가산기의 C_o 출력이 다수결 함수이다. 다수결 함수는 입력 중에서 1의 개수가 0의 개수보다 많으면 출력이 1이 되는 함수를 의미한다.

27. 전가산기(full-adder)의 C (carry) 비트를 논리식으로 나타낸 것은? 단, x, y, z 는 입력, C 는 출력이다.

① $C = x \oplus y \oplus z$

② $C = \bar{x}y + \bar{x}z + yz$

③ $C = xy + (x \oplus y)z$

④ $C = xyz$

입력			출력	
x	y	z	S	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

전가산기 진리표

$$\begin{aligned}
 C &= \bar{x}yz + x\bar{y}z + xy\bar{z} + xyz \\
 &= (\bar{x}y + x\bar{y})z + xy(\bar{z} + z) \\
 &= (x \oplus y)z + xy
 \end{aligned}$$

28. 다음은 전가산기의 진리표 일부이다. A, B, C, D 의 값은? 단, Z 는 아래 자리에서 올라오는 캐리(carry)이며, 출력 중 C 는 다음 자리로 올라가는 캐리이다.

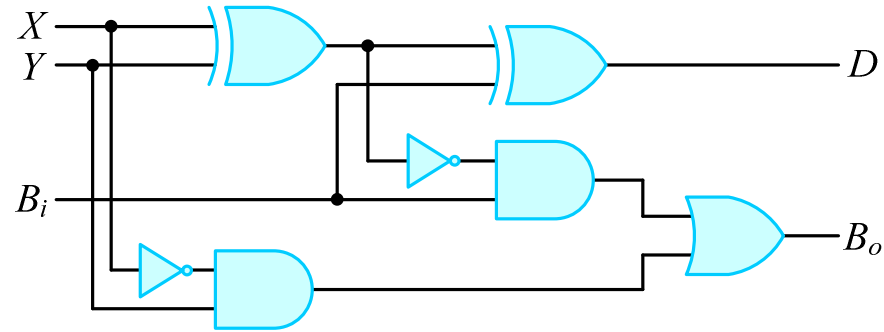
- ① $A = 0, B = 1, C = 0, D = 1$
- ② $A = 1, B = 1, C = 1, D = 0$
- ③ $A = 1, B = 1, C = 0, D = 1$
- ④ $A = 1, B = 0, C = 1, D = 1$

입력			출력	
X	Y	Z	C	S
0	1	0	0	A
0	1	1	B	0
1	1	0	1	C
1	1	1	1	D

입력			출력	
X	Y	Z	C	S
0	1	0	0	1
0	1	1	1	0
1	1	0	1	0
1	1	1	1	1

29. 다음 그림과 같은 회로의 명칭은?

- ① 반가산기
- ② 전가산기
- ③ 반감산기
- ④ 전감산기



제시된 회로는 반감산기 2개와 OR 게이트 1개로 구성되는 **전감산기** 회로다.

30. 다음은 전감산기의 진리표이다. 이 진리표를 이용하여 두 개의 차 D 의 불 함수에 대한 표현으로 옳은 것은?

- ① $D = X + Y + B_0$
- ② $D = X \oplus Y + B_0$
- ③ $D = X \oplus Y \oplus B_0$
- ④ $D = \bar{X} + Y \otimes B_0$

입력			출력	
X	Y	B_0	D	B_1
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

$$\begin{aligned}
 D &= \bar{X}\bar{Y}B_0 + \bar{X}Y\bar{B}_0 + X\bar{Y}\bar{B}_0 + XYB_0 \\
 &= \bar{X}(\bar{Y}B_0 + Y\bar{B}_0) + X(\bar{Y}\bar{B}_0 + YB_0) \\
 &= \bar{X}(Y \oplus B_0) + X(\bar{Y} \oplus \bar{B}_0) \\
 &= X \oplus (Y \oplus B_0) = X \oplus Y \oplus B_0
 \end{aligned}$$

31. 전감산기의 결과는 차(difference)를 나타내는 D 와 상위자리에서 빌려오는 것(borrow)을 나타내는 B 가 있다. D 를 최소항의 합으로 올바르게 표현한 것은?

① $D(x, y, z) = \Sigma m(0, 2, 4, 6)$

② $D(x, y, z) = \Sigma m(0, 2, 4, 7)$

③ $D(x, y, z) = \Sigma m(1, 2, 4, 6)$

④ $D(x, y, z) = \Sigma m(1, 2, 4, 7)$

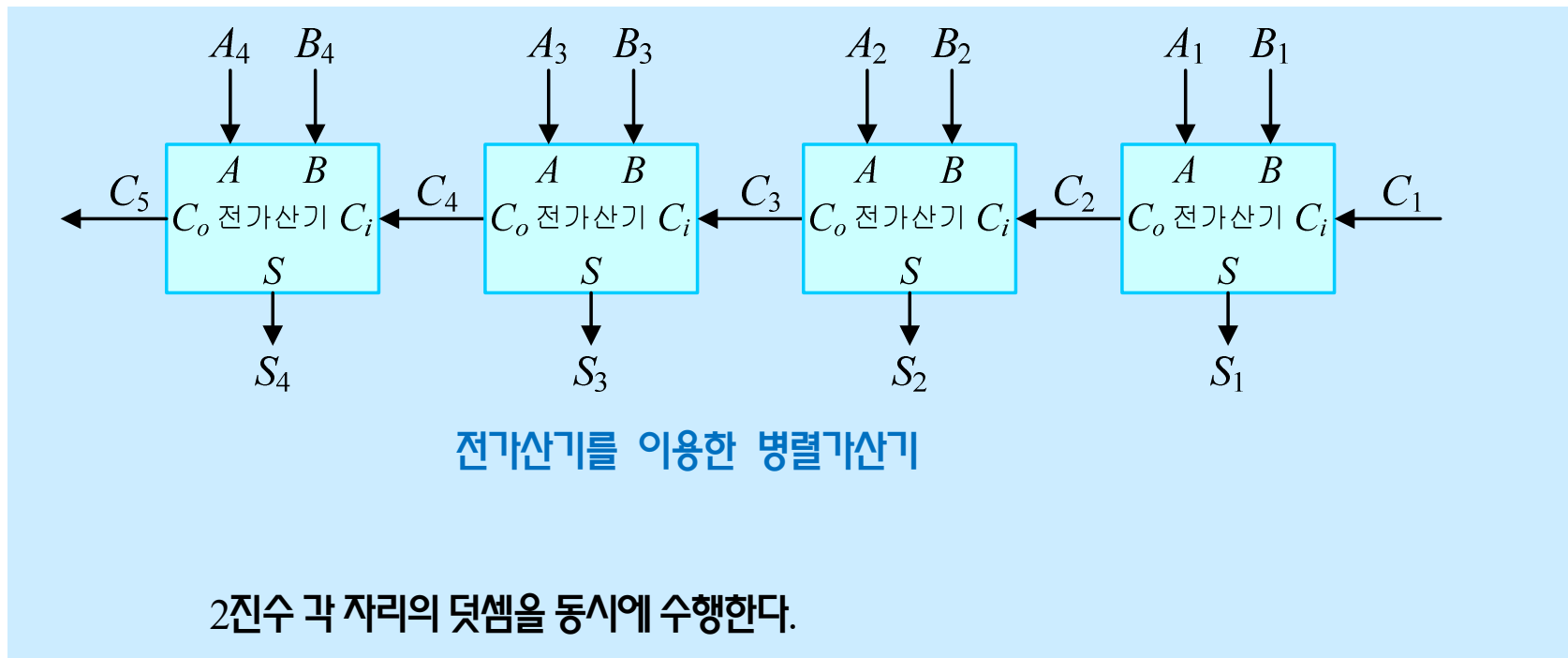
기호	x	y	z	D	B
m_0	0	0	0	0	0
m_1	0	0	1	1	1
m_2	0	1	0	1	1
m_3	0	1	1	0	1
m_4	1	0	0	1	0
m_5	1	0	1	0	0
m_6	1	1	0	0	0
m_7	1	1	1	1	1

전감산기 진리표

$$D(x, y, z) = m_1 + m_2 + m_4 + m_7 \\ = \Sigma m(1, 2, 4, 7)$$

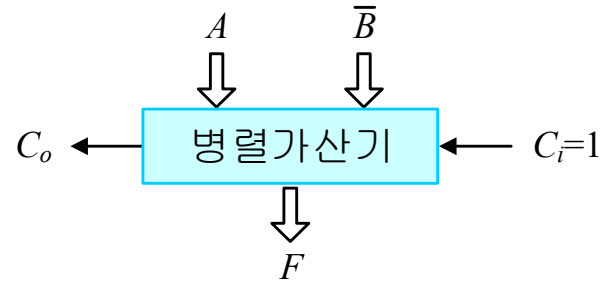
32. 병렬 가산기의 동작을 올바르게 표현한 것은?

- ① 2진수 각 자리의 덧셈을 2자리씩 끊어서 행하는 동작을 한다.
- ② 2진수 각 자리의 덧셈을 4자리씩 끊어서 행하는 동작을 한다.
- ③ 2진수 각 자리의 덧셈을 동시에 행하여 그 답을 내는 동작을 한다.
- ④ 반가산기를 병렬로 접속하여 구성한 것으로 동작은 2자리씩 끊어서 행한다.



33. 병렬 2진 가산기에 두 개의 입력 A, B 및 올림수 C_i 를 다음 그림과 같이 인가한다면 수행되는 출력 F 의 기능은?

- ① 올림수를 포함한 덧셈
- ② 뺄셈(subtraction)
- ③ 증가(increment)
- ④ 감소(decrement)



$$F = A + \bar{B} + C_i = A + \boxed{\bar{B} + 1}$$

B 의 2의 보수

2의 보수를 이용한 덧셈으로서 최종적으로는 뺄셈 연산을 수행한다.

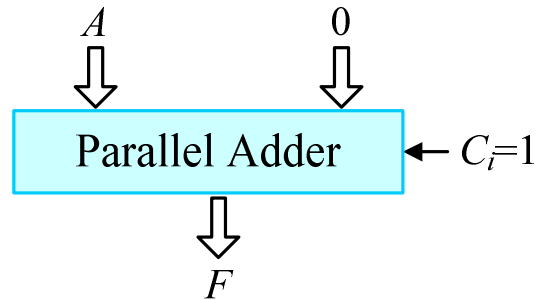
34. 다음 그림에 해당하는 마이크로 오퍼레이션 동작은 어떤 기능을 수행하는가?

① $F = A - 1$

② $F = A + 1$

③ $F = A$

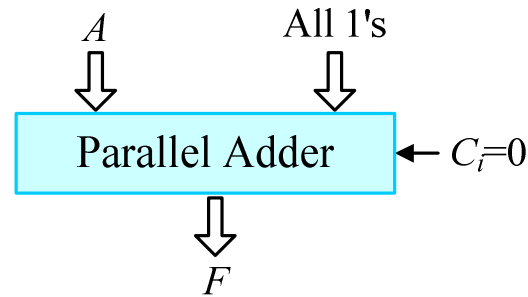
④ $F = \bar{A}$



$$F = A + 0 + C_i = A + 0 + 1 = A + 1$$

35. 다음과 같이 병렬 가산기를 이용하는 산술연산에서 F 에 출력되는 값은?

- ① $F = A$
- ② $F = A+1$
- ③ $F = A-1$
- ④ $F = 0$



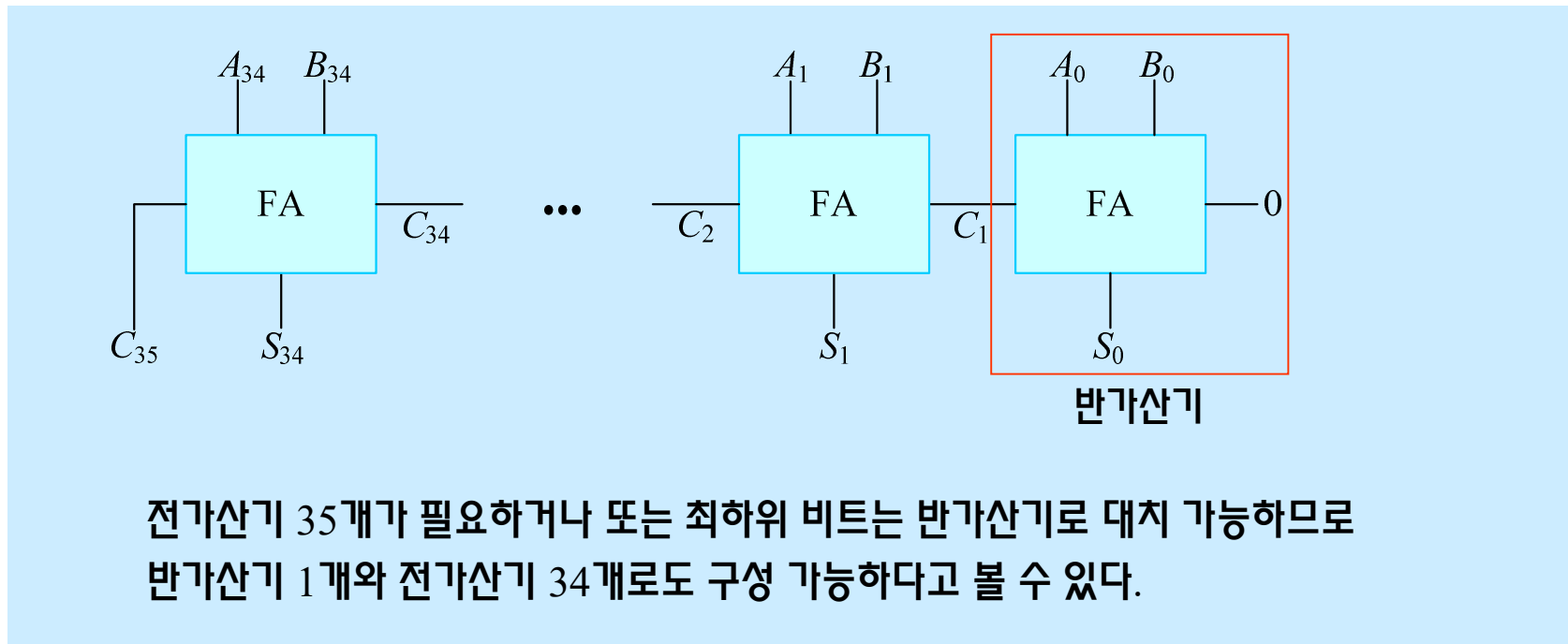
출력 F 는 $F=A-1$ (decrement) 연산을 수행한다.

예를 들어, $A=1011$ 인 경우 연산을 수행하면 $F=1010$ 가 되어 $F=A-1$ 이다.

$$\begin{array}{r}
 1011 \leftarrow A \\
 + \quad 1111 \\
 \hline
 1 \quad 1010 \leftarrow F
 \end{array}$$

36. 35bit의 두 2진수를 병렬 가산하기 위해서는 최소한 몇 개의 반가산기와 전가산기가 필요한가?

- ① 반가산기 : 1개, 전가산기 : 34개
- ② 반가산기 : 2개, 전가산기 : 33개
- ③ 전가산기 : 1개, 반가산기 : 34개
- ④ 전가산기 : 2개, 반가산기 : 33개

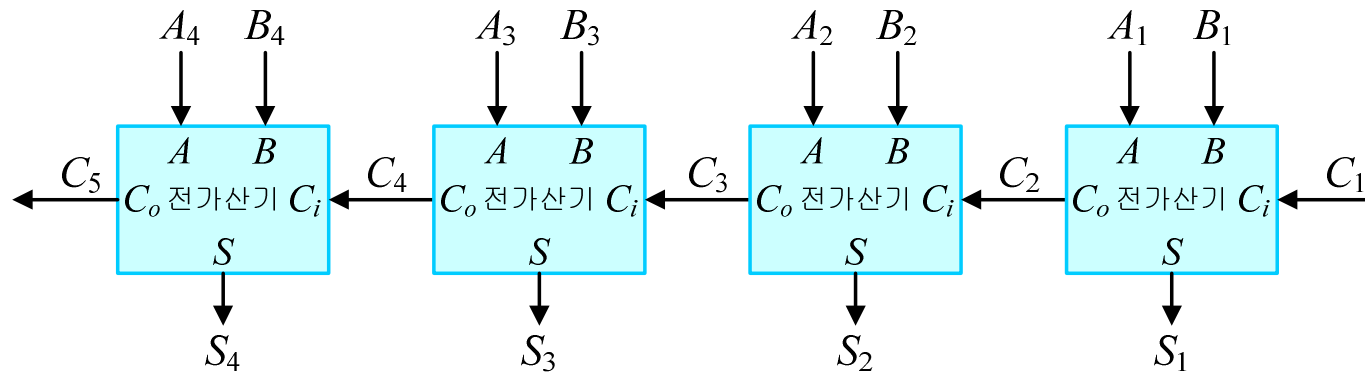


37. 일반적으로 n 비트의 2진 병렬가산기는 어떻게 구성되는가?

- ① 2^n 개의 반가산기로 구성
- ② 2^n 개의 전가산기로 구성
- ③ n 개의 반가산기로 구성
- ④ n 개의 전가산기로 구성

전가산기 n 개로도 구성할 수 있으며 또한 최하위 비트는 반가산기로 대체 가능하므로 반가산기 1개와 전가산기 $(n-1)$ 개로도 구성 가능하다.

38. 다음 그림의 회로 명칭으로 옳은 것은?



① 2비트 직렬가산기

② 2비트 병렬가산기

③ 4비트 직렬가산기

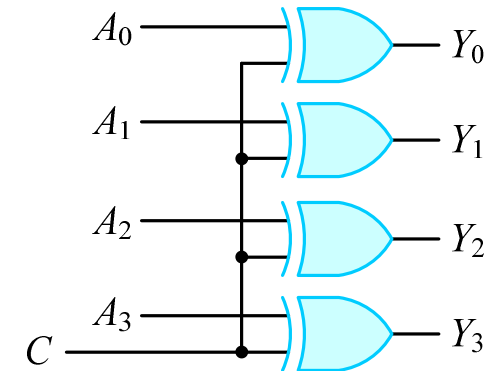
④ 4비트 병렬가산기

$$\begin{array}{r}
 A_4 \ A_3 \ A_2 \ A_1 \\
 - \quad B_4 \ B_3 \ B_2 \ B_1 \\
 \hline
 C_5 \ S_4 \ S_3 \ S_2 \ S_1
 \end{array}$$

4비트 병렬가산기

39. 다음 논리회로의 동작에 관한 설명으로 가장 옳은 것은?

- ① $C=1$ 이면 입력 비트의 1의 보수가 출력된다.
- ② $C=1$ 이면 입력 비트가 그대로 출력된다.
- ③ $C=0$ 이면 입력 비트의 2의 보수가 출력된다.
- ④ $C=0$ 이면 입력 비트가 반전되어 출력된다.



$F = 1 \oplus A$ 라고 하면,

$A_i = 0$ 이면 $F = 1$, $A_i = 1$ 이면 $F = 0$

$\rightarrow F = \overline{A_i}$ 이다.

A_i	$F = 1 \oplus A_i$
0	1
1	0

$F = 0 \oplus A$ 라고 하면,

$A_i = 0$ 이면 $F = 0$, $A_i = 1$ 이면 $F = 1$

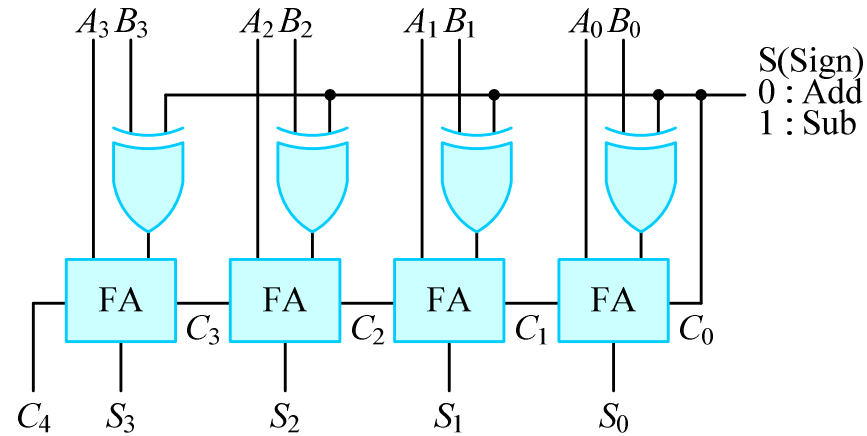
$\rightarrow F = A_i$ 이다.

A_i	$F = 0 \oplus A_i$
0	0
1	1

따라서 $C=1$ 이면 반전(1의 보수), $C=0$ 이면 그대로 출력된다.

40. 다음 조합논리회로의 명칭은?

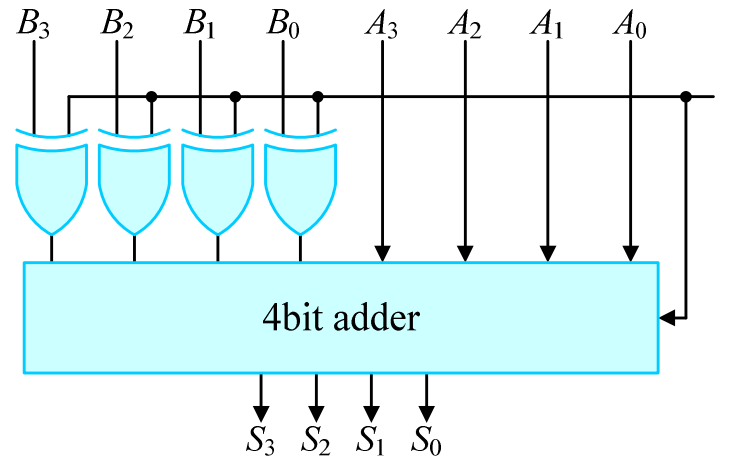
- ① 플립플롭
- ② 4비트 비교기
- ③ 4x4 디코더
- ④ 4비트 병렬 가감산기



$S=0$ 이면 가산기로, $S=1$ 이면 감산기로 동작하는 4비트 병렬 가감산기다.

41. 다음 그림의 4비트 가산기가 하는 것은?

- ① 뺄셈
- ② 덧셈
- ③ 디코딩
- ④ 대소 비교



$S=1$ 이므로 감산기(뺄셈)로 동작한다.

42. BCD 가산기 회로에서 $A_3A_2A_1A_0$ 에 0111, $B_3B_2B_1B_0$ 에 1001이 들어왔을 때 C_0 와 $Z_3Z_2Z_1Z_0$ 출력으로 옳은 것은?

- ① 1, 1011 ② 1, 0111
 ③ 1, 0110 ④ 0, 0111

BCD는 0~9(0000~1001)까지만 결과가 나와야 하므로, 2진수 합의 결과가 $01010_{(2)} \sim 10011_{(2)}$ (10~19)의 범위일 때 보정해주어야 한다.

$$\begin{array}{r}
 0111 \\
 + \quad \overline{1001} \\
 \hline
 1 \quad 0000 \\
 + \quad \overline{0110} \leftarrow 6 \\
 \hline
 1 \quad 0110
 \end{array}$$

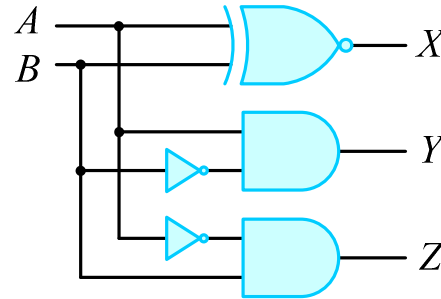
43. BCD 가산기의 덧셈 과정에 관한 설명으로 옳지 않은 것은?

- ① 2진수의 덧셈 규칙에 따라 두 수를 더한다.
- ② 연산 결과 4bit의 집합의 값이 9이거나 9보다 작으면 틀린 값이다.
- ③ 연산 결과 4bit의 집합의 값이 9보다 크거나 자리 올림수가 발생하면 틀린 값이다.
- ④ 틀린 값에 6(0110)을 더한다.

연산 결과 4bit의 집합의 값이 9이거나 9보다 작으면 올바른 값이며, 9보다 크면 보정해야 한다.

45. 다음 논리회로는 무엇인가?

- ① 가산기
- ② 디코더
- ③ 비교기
- ④ 인코더



입력		출력		
A	B	X $A=B$	Y $A<B$	Z $A>B$
0	0	1	0	0
0	1	0	1	0
1	0	0	0	1
1	1	1	0	0

1비트 비교기 진리표

$$X = A \odot B$$

$$Y = \bar{A}B$$

$$Z = A\bar{B}$$

46. 다음 중 X, Y 두 입력을 갖는 2진 비교기에 대한 내용으로 틀린 것은?

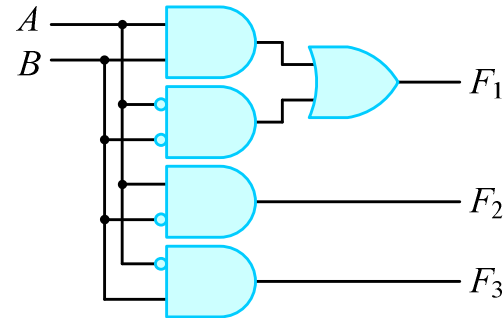
- ① $X = Y$ 일 때, $\overline{X \oplus Y}$
- ② $X \neq Y$ 일 때, $X \oplus Y$
- ③ $X > Y$ 일 때, $X\bar{Y}$
- ④ $X < Y$ 일 때, $\overline{X\bar{Y}}$

1비트 비교기 진리표

입력 $X \ Y$	출력			
	$X = Y$	$X \neq Y$	$X < Y$	$X > Y$
0 0	1	0	0	0
0 1	0	1	1	0
1 0	0	1	0	1
1 1	1	0	0	0
	$\overline{X \oplus Y}$	$X \oplus Y$	$\bar{X}Y$	$X\bar{Y}$

47. 다음 비교 회로에서 논리 F_1 의 기능은?

- ① $A = B$
- ② $A > B$
- ③ $A < B$
- ④ $A \geq B$



제시된 논리회로를 간소화하면

$F_1 = AB + \overline{A}\overline{B} = \overline{A \oplus B} = A \odot B$ 이므로
 F_1 은 $A=B$ 의 기능에 해당한다.

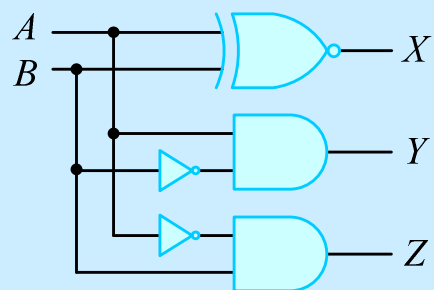
입력		출력		
A	B	$A=B$	$A<B$	$A>B$
0	0	1	0	0
0	1	0	1	0
1	0	0	0	1
1	1	1	0	0

1비트비교기 진리표

48. 2진 비교기의 구성 요소를 맞게 설명한 것은?

- ① 인버터 2개, NOR 게이트 2개, NAND 게이트 1개
- ② 인버터 2개, AND 게이트 1개, NOR 게이트 2개
- ③ 인버터 2개, AND 게이트 2개, XNOR 게이트 1개
- ④ 인버터 2개, NAND 게이트 2개, XOR 게이트 1개

A	B	$A=B$	$A>B$	$A<B$
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0



1비트 비교기 논리회로

49. 다음은 1비트를 비교하는 진리표이다. a, b, c 에 알맞은 값은?

A	B	$A > B$	$A = B$	$A < B$
0	0	0	1	0
0	1	0	0	(a)
1	0	1	(b)	0
1	1	(c)	1	0

① $a = 0, b = 0, c = 0$

② $a = 1, b = 0, c = 0$

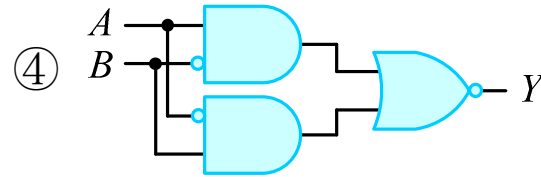
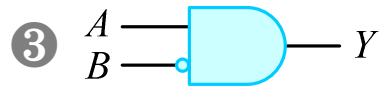
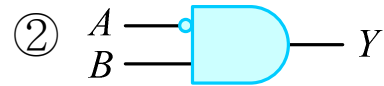
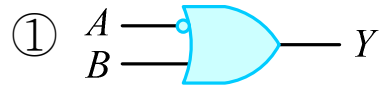
③ $a = 1, b = 0, c = 1$

④ $a = 0, b = 0, c = 1$

입력		출력		
A	B	$A = B$	$A < B$	$A > B$
0	0	1	0	0
0	1	0	1	0
1	0	0	0	1
1	1	1	0	0

1비트 비교기 진리표

50. $A > B$ 일 때 $Y=1$ 인 회로는?



① $Y = \bar{A} + B$

② $Y = \bar{A}B$

③ $Y = A\bar{B}$

④ $Y = \overline{A\bar{B} + \bar{A}B} = \overline{A \oplus B}$

1비트 비교기 진리표

입력	출력		
	$A=B$	$A < B$	$A > B$
0 0	1	0	0
0 1	0	1	0
1 0	0	0	1
1 1	1	0	0
	$\overline{A \oplus B}$	$\bar{A}B$	$A\bar{B}$

51. 두 입력 A, B 를 비교하여 출력(Y)을 발생하는 회로의 논리식으로 옳지 않은 것은?

① $Y(A > B) = \overline{A}B$

② $Y(A < B) = \overline{A}B$

③ $Y(A = B) = \overline{A \oplus B}$

④ $Y(A > B) = A \oplus B$

1비트 비교기의 진리표를 작성한다.

입력		출력		
A	B	$A=B$	$A<B$	$A>B$
0	0	1	0	0
0	1	0	1	0
1	0	0	0	1
1	1	1	0	0

$$Y(A = B) = \overline{A \oplus B}$$

$$Y(A < B) = \overline{A}B$$

$$Y(A > B) = A\overline{B}$$

1비트 비교기 진리표

52. 두 입력을 비교하여 $A > B$ 이면 출력이 1이고, $A \leq B$ 이면, 출력이 0 이 되는 논리회로를 설계하고자 한다. 이 조건을 만족하는 논리식은?

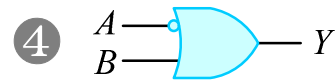
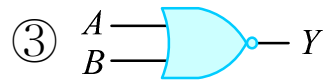
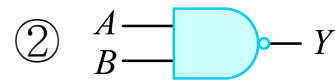
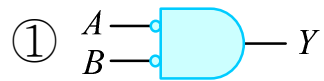
- ① $\overline{AB}$ ② AB
 ③ $A + B$ ④ $A + \overline{B}$

제시된 조건에 대해 진리표를 작성한다.

A	B	F
0	0	0
0	1	0
1	0	1
1	1	0

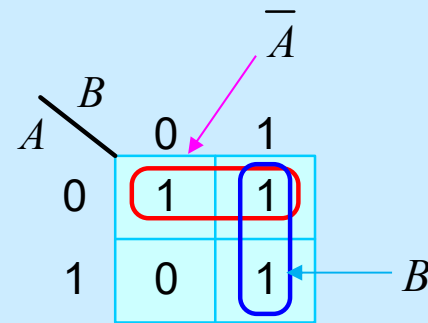
$$F = \overline{AB}$$

53. 다음 중 두 입력 A 와 B 를 비교하여 $B > A$ 및 $A = B$ 이면 출력(Y)이 1, 그리고 $A > B$ 이면 출력(Y)이 0이 되는 논리회로를 설계할 때, 조건을 만족하는 논리회로는?



제시된 조건에 대해 진리표를 작성해서 간소화 한다.

A	B	Y
0	0	1
0	1	1
1	0	0
1	1	1



$$Y = \overline{A} + B$$

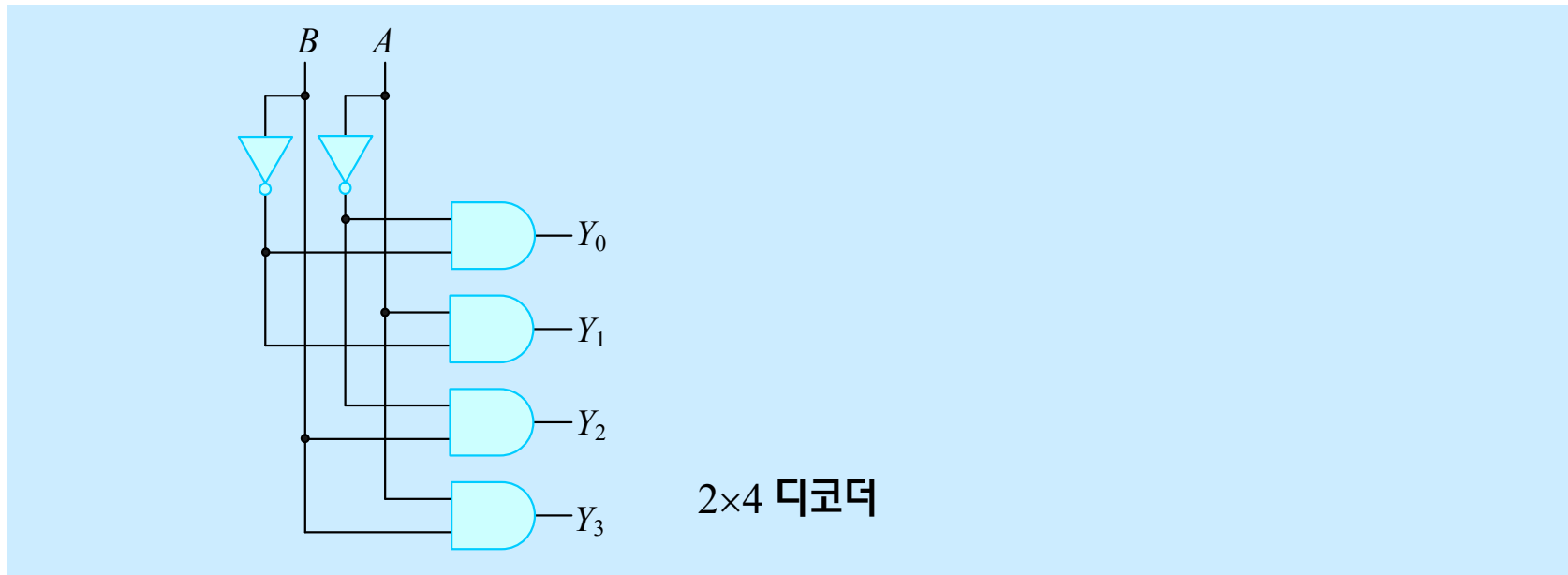
58. 다음 디코더의 설명 중 옳은 것은?

- ① 2진수로 표시된 입력 조합에 따라 출력이 하나만 동작하도록 하는 회로
- ② 특정한 입력을 몇 개의 코드화된 신호의 조합으로 바꾸는 장치
- ③ 연산회로의 일종으로 보수 합산을 행한다.
- ④ N 개의 입력데이터에서 1개의 입력씩만 선택하여 송신하는 회로

디코더는 2진수로 표시된 입력 조합에 따라 출력이 하나만 동작하도록 하는 회로다.

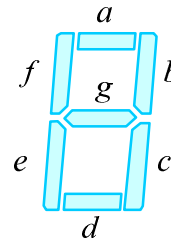
59. 디코더는 주로 어떤 게이트의 집합으로 구성되는가?

- ① NOT
- ② XOR
- ③ OR
- ④ AND

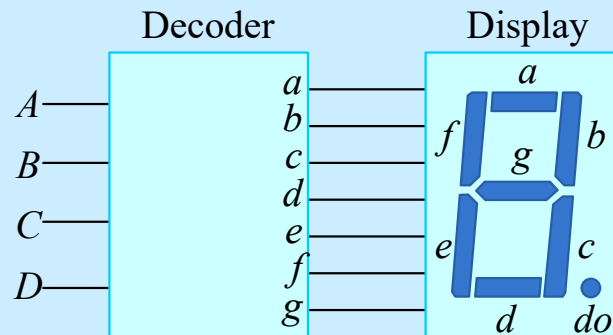


61. 10진 BCD 계수가 출력으로 그림과 같이 표시하려면 어떤 디코더 드라이버가 필요한가?

- ① BCD - 10 segment
- ② Octal - 10 segment
- ③ BCD - 7 segment
- ④ Octal - 7 segment

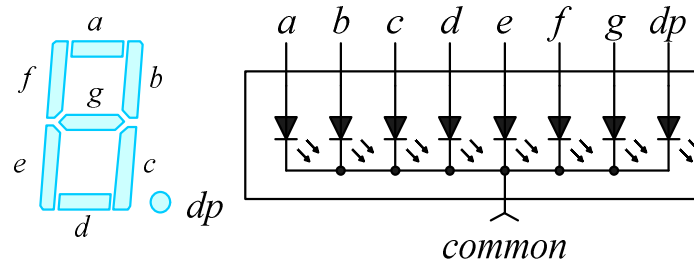


7-segment는 숫자를 표시하기 위하여 LED 7개를 숫자 모양으로 배열하여 하나의 소자로 구성한 소자를 의미한다. BCD를 입력받아 출력으로 7-segment를 구동한다(BCD - 7 segment).



62. 다음 그림과 같은 Common Cathode 타입의 7-segment에 숫자 2를 출력하기 위한 신호로 맞는 것은?

- ① a, b, d, e, g 는 “0”, c, f, dp 는 “1”을 출력하고 common 단자에 “1”을 출력
- ② a, b, d, e, g 는 “0”, c, f, dp 는 “1”을 출력하고 common 단자에 “0”을 출력
- ③ a, b, d, e, g 는 “1”, c, f, dp 는 “0”을 출력하고 common 단자에 “1”을 출력
- ④ a, b, d, e, g 는 “1”, c, f, dp 는 “0”을 출력하고 common 단자에 “0”을 출력



LED를 on하려면 해당 단자에 1(+5V)를 인가하고, off하려면 0(0V)를 인가하면 된다.
이 때 common 단자는 접지(0V)에 연결한다.



$a, b, d, e, g : 1$
 $c, f, dp : 0$

63. 4입력 변수의 디코더는 몇 개의 출력을 하는가?

- ① (2×4) 개
- ② $(4^2 - 1)$ 개
- ③ 4개
- ④ 2^4 개**

디코더는 입력이 n 개이면 출력은 2^n 개이다. 따라서 입력이 4개면 2^4 개의 출력을 갖는다.

64. 디코더의 출력선이 8개라면 입력 선은 몇 개인가?

- ① 4개
- ② 3개**
- ③ 2개
- ④ 1개

디코더는 입력 선이 3개이면 출력 선은 $8(=2^3)$ 개이다.

65. 64개의 다른 입력 조합을 받아들이기 위한 디코더의 입출력 개수는 각각 몇 개씩인가?

- ① 입력: 6개, 출력: 64개
- ② 입력: 6개, 출력: 32개
- ③ 입력: 5개, 출력: 64개
- ④ 입력: 5개, 출력: 32개

디코더는 입력이 6개이면 출력은 $64(=2^6)$ 개이다.

66. 다음과 같은 진리표를 갖는 회로는?

- ① 비교기(comparator)
- ② 멀티플렉서(multiplexer)
- ③ 디코더(decoder)
- ④ 인코더(encoder)

x	y	D_0	D_1	D_2	D_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

제시된 진리표는 2×4 디코더이다.

67. 다음은 어떤 조합논리회로의 진리표인가?

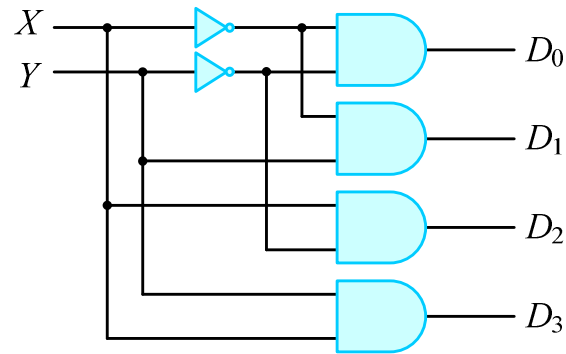
- ① 3-to-8 인코더
- ② 3-to-8 디코더
- ③ 3-to-8 멀티플렉서
- ④ 3-to-8 디멀티플렉서

입력			출력							
x	y	z	D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

제시된 진리표는 3×8 디코더이다.

68. 다음 논리회로는 무엇인가?

- ① decoder
- ② multiplexer
- ③ encoder
- ④ shifter



제시된 회로에 대한 진리표를 작성하면 2×4 decoder임을 알 수 있다.

입력		출력			
X	Y	D_3	D_2	D_1	D_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

2×4 디코더 진리표

$$D_0 = \overline{X}\overline{Y}$$

$$D_1 = \overline{X}Y$$

$$D_2 = X\overline{Y}$$

$$D_3 = XY$$

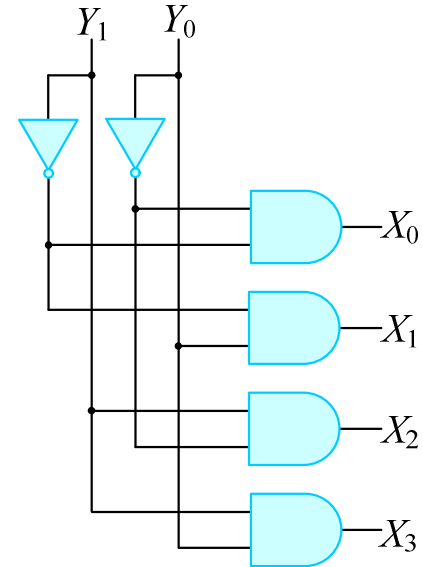
69. 그림의 decoder에 있어서 Y_0, Y_1 에 각각 0, 1 이 입력되었을 때 1을 출력하는 것은 다음 중 어느 쪽 단자인가?

① X_0

② X_1

③ X_2

④ X_3



$$X_0 = \bar{Y}_1 \bar{Y}_0 = 0$$

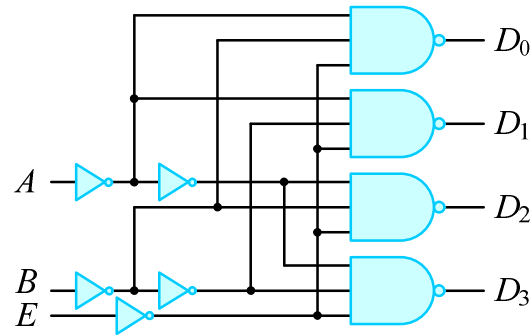
$$X_1 = \bar{Y}_1 Y_0 = 0$$

$$X_2 = Y_1 \bar{Y}_0 = 1$$

$$X_3 = Y_1 Y_0 = 0$$

70. 다음 논리회로가 나타내는 것은?

- ① BCD-to-decimal decoder
- ② 3×8 decoder
- ③ 3×4 decoder
- ④ 2×4 decoder



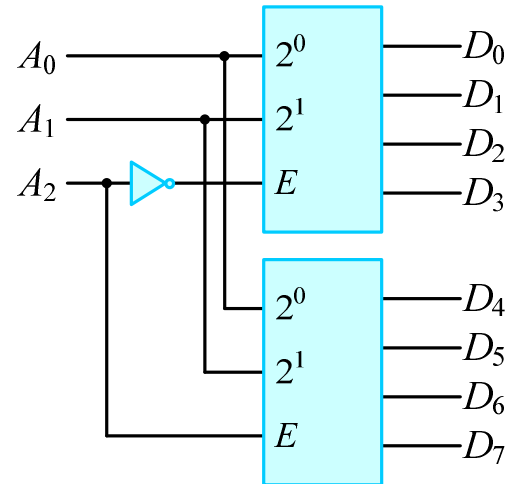
제시된 회로는 인에이블(E) 입력이 있고 NAND 게이트로 구성된 2×4 decoder이다.

입력			출력			
E	A	B	D_3	D_2	D_1	D_0
1	$\times$	$\times$	1	1	1	1
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1

2×4 decoder 진리표

71. 다음 논리회로의 기능은?

- ① 3×8 디코더
- ② 2×4 디코더
- ③ 2×8 디코더
- ④ 2×8 멀티플렉서

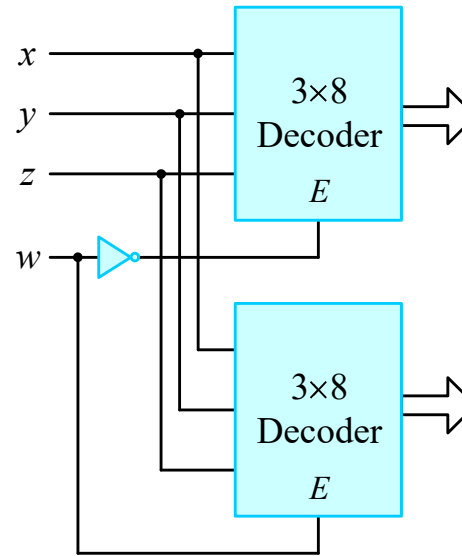


제시된 회로는 Enable(E) 기능이 있는 2×4 디코더 2개를 이용한 3×8 디코더이다.

입력			출력							
A_2	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

72. 다음 논리회로의 기능은?

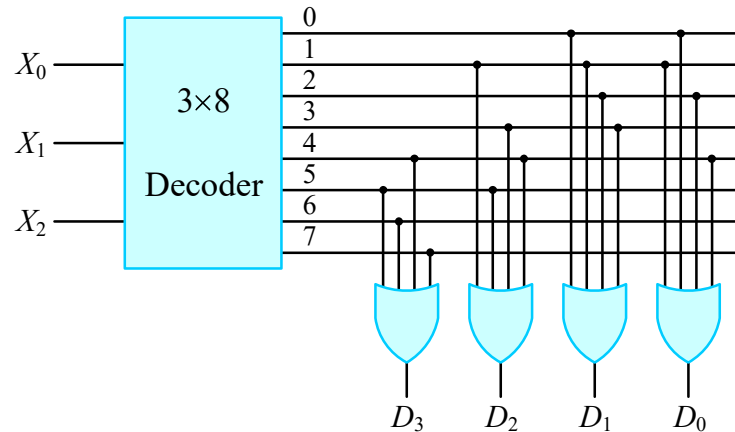
- ① 4×8 디코더
- ② 4×16 디코더
- ③ 3×8 디코더
- ④ 3×16 디코더



제시된 회로는 Enable(E) 기능이 있는 3×8 디코더 2개를 이용한 4×16 디코더이다.
 $w=0$ 이면 위쪽의 디코더가 인에이블되며, $w=1$ 이면 아래쪽의 디코더가 인에이블된다.

73. ROM의 블록선도이다. 입력 X_2, X_1, X_0 가 101일 때, 데이터 D_3, D_2, D_1, D_0 출력으로 맞는 것은?

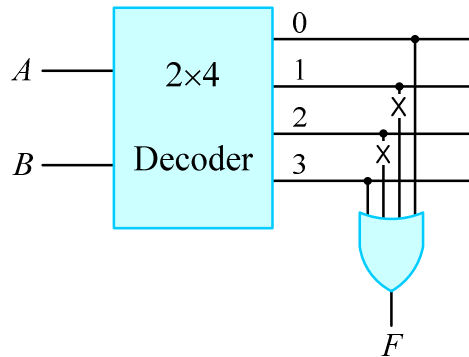
- ① 0101
- ② 0011
- ③ 1100
- ④ 1010



$X_2 X_1 X_0 = 101$ 이므로 3×8 디코더의 5번 출력에만 1이 나오고 나머지 출력은 0이 나온다.
따라서 D_3, D_2 만 출력이 1이 되므로 $D_3 D_2 D_1 D_0 = 1100$ 이다.

74. 다음 그림에서 F 를 A, B 의 불 대수식으로 나타내면? 단, 그림에서 $\times$ 는 선의 절단을 표시한다.

- ① $F = A + B$
- ② $F = \overline{A}B + \overline{A}\overline{B}$
- ③ $F = AB$
- ④ $F = AB + \overline{A}\overline{B}$

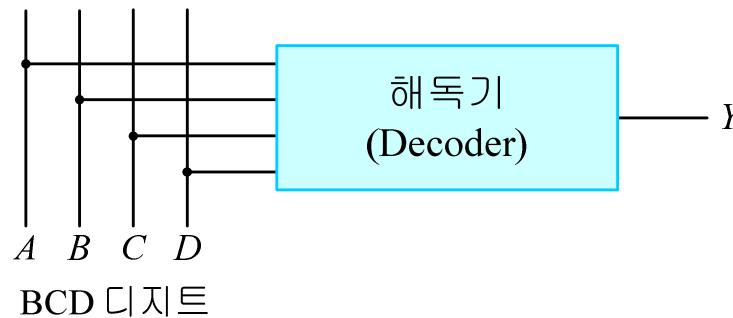


A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

$$F = \overline{A}\overline{B} + AB$$

75. 그림과 같이 해독기에 BCD입력이 가해지고 있다. 해독기는 BCD 입력이 1001인 때만 출력이 1을 나타낸다고 할 경우 출력 Y 를 불 대수식으로 표현하면?

- ① AD
- ② AB
- ③ AC
- ④ BCD



A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1

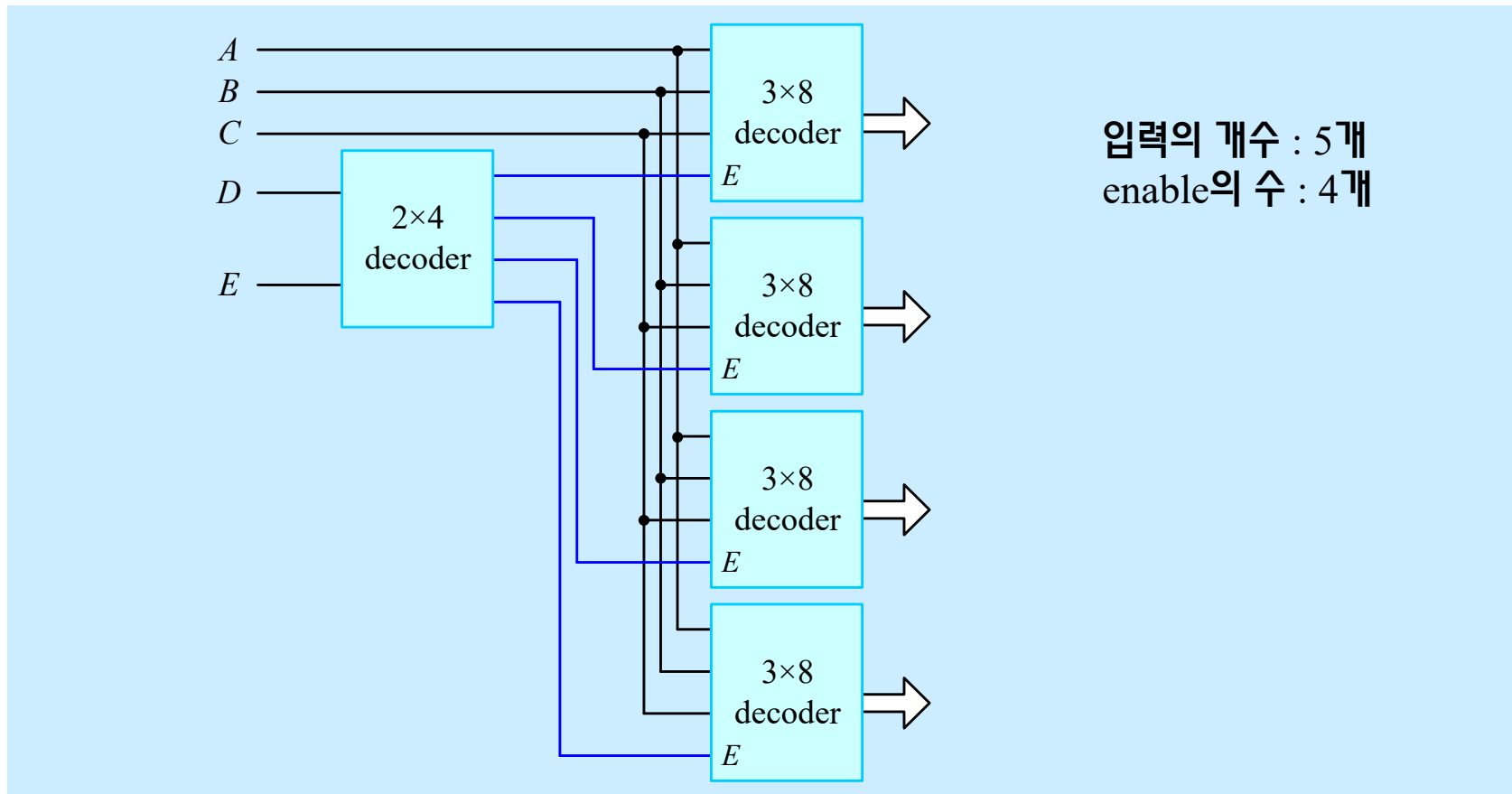
1010~1111은 무관항

$AB \backslash CD$	00	01	11	10
00				
01				
11	x	x	x	x
10		1	x	x

$Y = AD$

76. 4개의 3×8 디코더(enable 입력 가정)와 1개의 2×4 디코더를 이용하여 5×32 디코더를 설계하고자 할 때, 필요한 입력의 개수와 enable의 수는?

- ① 2개, 5개 ② 5개, 4개
③ 2개, 4개 ④ 5개, 2개



77. 디코더(decoder)에 대한 설명으로 옳지 않은 것은?

- ① 출력 중 단지 한 개만이 논리적으로 1이 되고 나머지 출력은 모두 0이 되는 회로이다.
- ② n 개의 입력 변수가 있을 때 최대 2^n 개의 출력을 가진다.
- ③ $n \times m$ 디코더란 입력이 n 개이고 출력이 m 개임을 의미한다.
- ④ 인코더가 항상 같이 사용된다.

디코더와 인코더가 항상 같이 사용되지는 않는다.

78. 다음 중 디코더에 대한 설명으로 올바른 것은?

- ① n 비트의 2진 코드를 최대 n 개의 서로 다른 정보로 교환하는 조합논리회로이다.
- ② 디코더에 enable 단자를 가지고 있을 때 디멀티플렉서로 사용한다.
- ③ IC 7485는 디코더로서 기능을 사용할 수 있다.
- ④ 상용 IC 74138은 디코더와 멀티플렉서의 기능을 모두 사용할 수 없다.

- n 비트의 2진 코드를 최대 2^n 개의 서로 다른 정보로 교환하는 조합논리회로이다.
- IC 7485는 4비트 2진수 비교기로서 기능을 사용할 수 있다.
- 상용 IC 74138은 디코더와 디멀티플렉서의 기능을 모두 사용할 수 있다.

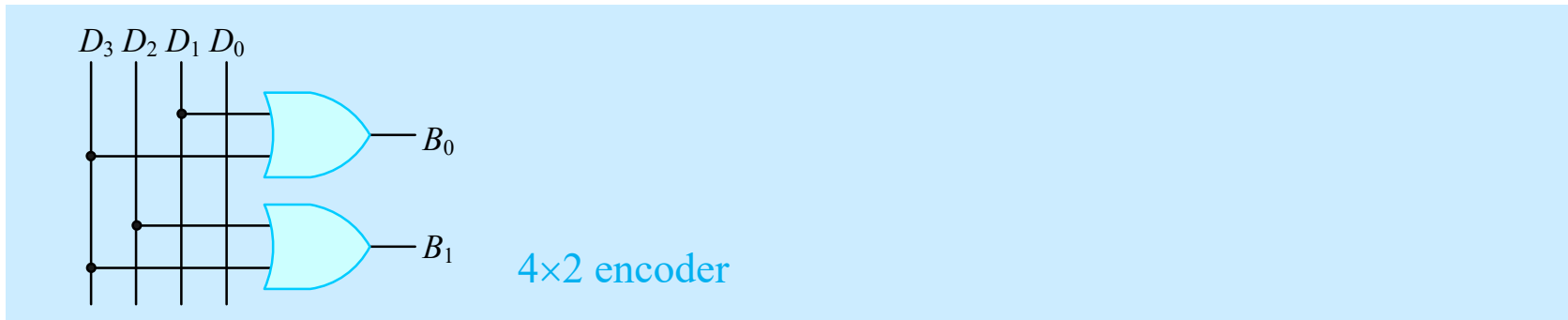
79. 인코더(encoder)의 설명 중 옳지 않은 것은?

- ① 조합논리회로의 일종이다.
- ② BCD 코드를 생성하기도 한다.
- ③ 키보드와 같은 입력장치에서 사용한다.
- ④ n 개의 입력선과 2^n 개의 출력선이 있다.

④ 인코더는 2^n 개의 입력선과 n 개의 출력선이 있다.

80. 인코더의 회로 구성 시 사용되는 게이트의 집합은?

- ① NOT gate
- ② OR gate
- ③ AND gate
- ④ NAND gate



81. 조합논리회로 중 0과 1의 조합으로 부호화를 행하는 회로로 2^n 개의 입력선과 n 개의 출력선으로 구성된 것은?

- ① 디코더(decoder)
- ② DEMUX
- ③ MUX
- ④ 인코더(encoder)

인코더는 2^n 개의 입력선과 n 개의 출력선이 있다.

84. 인코더의 입력선이 16개일 때 출력선의 개수는?

- ☐ ① 2개 ☒ ② 4개
- ☐ ③ 8개 ☐ ④ 16개

인코더는 입력이 2^n 개이면 출력은 n 개이므로 입력선이 16($=2^4$)이면 출력선은 4개다.

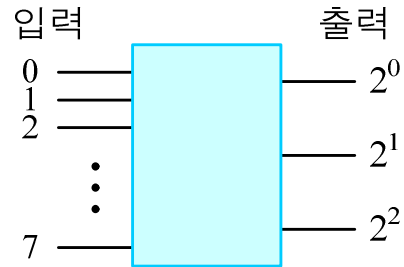
85. 2진수의 8비트 입력을 3비트 출력 코드로 변환하는 소자는?

- ① decoder ② mutiplexer
③ encoder ④ counter

8x3 encoder

86. 그림과 같이 2^3 개(0~7)의 10진수 입력을 넣었을 때 출력이 2진수 (000~111)로 나오는 회로의 명칭은?

- ① 디코더 회로
- ② A/D 변환 회로
- ③ D/A 변환 회로
- ④ 인코더 회로



인코더는 입력이 2^n 개이면 출력은 n 개이므로 입력선이 $8(=2^3)$ 이면 출력선은 3개다.

87. 다음과 같이 동작하는 소자는?

- ① 인코더
- ② 디코더
- ③ MUX
- ④ DEMUX

입력				출력	
D_0	D_1	D_2	D_3	X	Y
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

4×2 encoder

88. 다음 진리표는 어떤 논리회로를 나타낸 것인가?

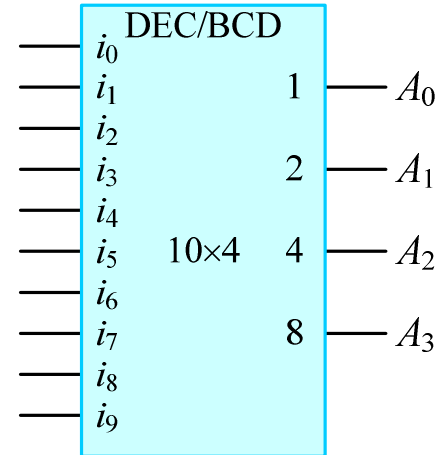
- ① 금지 회로
- ② 비교 회로
- ③ 다수결 회로
- ④ 우선순위 인코더

입력								출력		
D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7	X	Y	Z
1	0	0	0	0	0	0	0	0	0	0
x	1	0	0	0	0	0	0	0	0	1
x	x	1	0	0	0	0	0	0	1	0
x	x	x	1	0	0	0	0	0	1	1
x	x	x	x	1	0	0	0	1	0	0
x	x	x	x	x	1	0	0	1	0	1
x	x	x	x	x	x	1	0	1	1	0
x	x	x	x	x	x	x	1	1	1	1

제시된 진리표는 **우선순위 인코더**이다. 우선순위 인코더는 입력에 우선순위를 정해서 입력이 여러 개 있을 때 우선순위가 높은 입력값에 해당하는 출력신호를 만들어내는 회로이다. 예를 들어, 주어진 진리표에서 $D_7=1$ 이면 다른 입력에 관계없이 출력은 $XYZ=111$ 이 된다.

89. 다음 그림의 10진-BCD 인코더에서 입력 변수에 대한 출력 변수 값으로 옳은 것은?

- ① $A_0 = i_2 + i_4 + i_6 + i_8$
- ② $A_1 = i_2 + i_3 + i_4 + i_5$
- ③ $A_2 = i_4 + i_5 + i_6 + i_7$
- ④ $A_3 = i_7 + i_8$



입력										출력			
i_9	i_8	i_7	i_6	i_5	i_4	i_3	i_2	i_1	i_0	A_3	A_2	A_1	A_0
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	1	0	0	1

$$A_0 = i_1 + i_3 + i_5 + i_7 + i_9$$

$$A_1 = i_2 + i_3 + i_6 + i_7$$

$$A_2 = i_4 + i_5 + i_6 + i_7$$

$$A_3 = i_8 + i_9$$

진리표

90. 다음 중 데이터 선택 회로라고도 불리며 여러 개의 입력 신호선(채널) 중
에서 하나를 선택하여 출력선(1개)과 연결하여주는 조합논리회로는 어
느 것인가?

- ① multiplexer ② demultiplexer
③ encoder ④ decoder

멀티플렉서는 많은 입력 중 하나를 선택하여 선택된 입력선의 2진 정보를 출력선에 넘겨주기 때문에 데이터 선택기(data selector)라고도 한다.

91. 2^n 개의 입력 신호 중 1개를 선택하여 출력하는 기능을 가진 회로는?

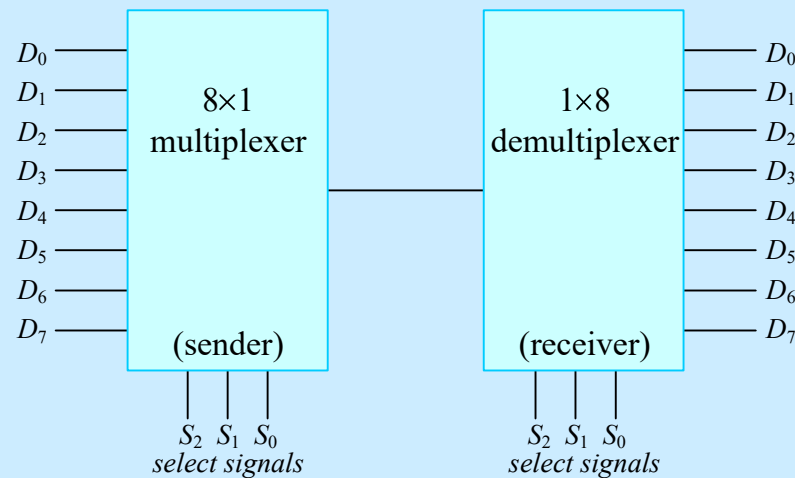
- ① 인코더 ② 디코더
 ③ 멀티플렉서 ④ 디멀티플렉서

멀티플렉서는 2^n 개의 입력신호 중 1 개를 선택하여 출력하는 기능을 가진 회로다.

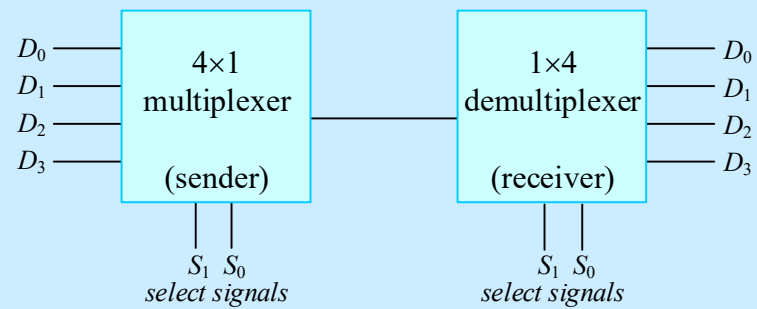
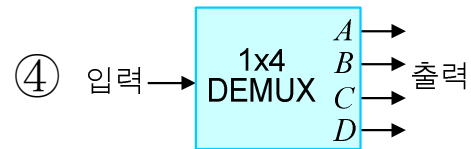
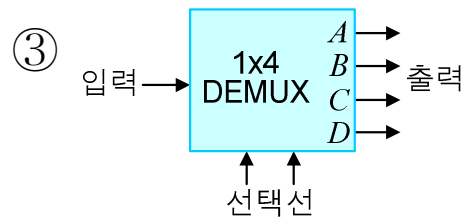
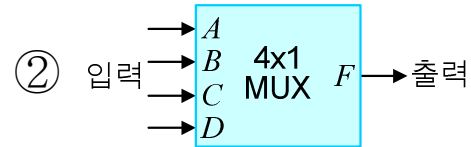
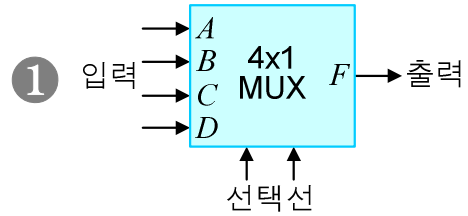
92. 여러 개의 회로가 단일 회선을 공동으로 이용하여 신호를 전송하는데 필요한 장치는?

- ① 멀티플렉서
- ② 디멀티플렉서
- ③ 인코더
- ④ 디코더

멀티플렉서는 2^n 개의 입력선과 n 개의 선택선으로 구성되어 있다. 이때 n 개 선택선의 비트 조합에 따라 입력 중 하나를 선택하여 출력으로 전송한다.



93. 다음 중 멀티플렉서 표시 기호로 옳은 것은?



94. 다음 중 멀티플렉서의 실현에 대한 내용으로 틀린 것은?

- ① 여러 개의 데이터 입력을 적은 수의 채널로 전송한다.
- ② n 개의 입력선과 2^n 개의 선택선으로 구성한다.
- ③ 선택선은 비트조합에 의해 입력 중 하나가 선택된다.
- ④ data selector라고도 할 수 있다.

멀티플렉서는 2^n 개의 입력선과 n 개의 선택선으로 구성한다.

95. MUX의 입력이 진리표처럼 주어질 때 기대되는 출력값 Y 는?

- ① $a : 1, b : 0$
- ② $a : 1, b : 1$
- ③ $a : 0, b : 0$
- ④ $a : 0, b : 1$

I_1	I_0	S_0	Y
1	0	1	a
1	0	0	b

$S_0 = 0$ 이면 I_0 가 선택되어 $Y = 0$ 이다. 따라서 $b = 0$ 이다.

$S_0 = 1$ 이면 I_1 이 선택되어 $Y = 1$ 이다. 따라서 $a = 1$ 이다.

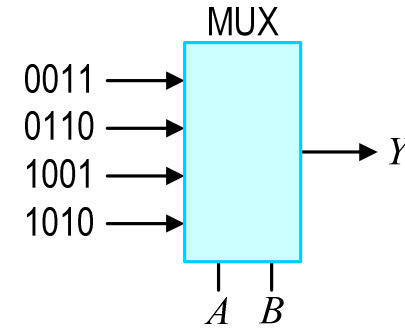
96. 다음과 같은 멀티플렉서 회로에서 제어 입력 A 와 B 가 각각 1일 때 출력 Y 의 값은?

① 0011

② 0110

③ 1001

④ 1010



제시된 회로를 분석하면

$AB = 00$ 이면, $Y=0011$

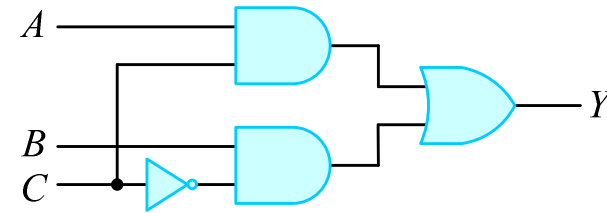
$AB = 01$ 이면, $Y=0110$

$AB = 10$ 이면, $Y=1001$

$AB = 11$ 이면, $Y=1010$

97. 다음 논리회로의 이름은?

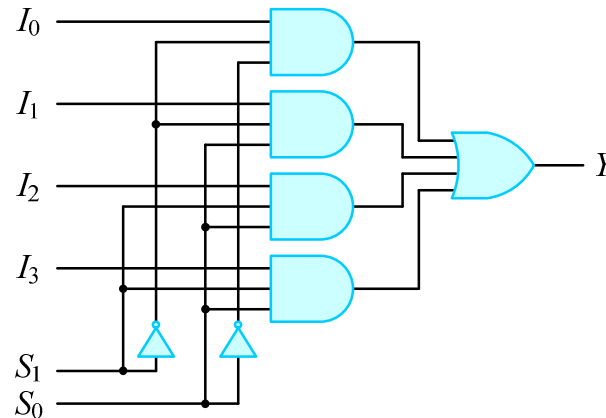
- ① 디코더 ② 인코더
- ③ 디멀티플렉서 ④ 멀티플렉서



선택선이 C 인 2×1 멀티플렉서

98. 다음 논리회로의 기능은?

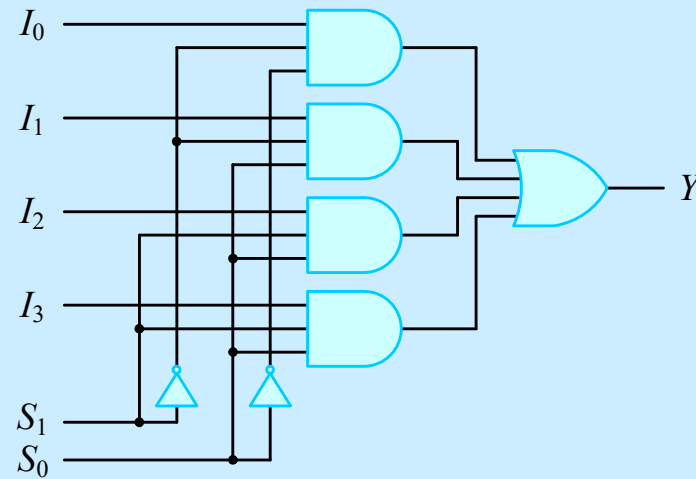
- ① 4×1 multiplexer
- ② 6×1 multiplexer
- ③ 4×1 decoder
- ④ 6×1 encoder



선택선이 S_1S_0 인 4×1 멀티플렉서

99. 다음 중 4×1 멀티플렉서를 구성하기 위하여 필요한 최소 gate 수로서 옳은 것은?

- ① inverter 1개 + AND gate 4개 + OR gate 1개
- ② inverter 2개 + AND gate 3개 + OR gate 2개
- ③ inverter 1개 + AND gate 3개 + OR gate 2개
- ④ inverter 2개 + AND gate 4개 + OR gate 1개



4×1 멀티플렉서 회로

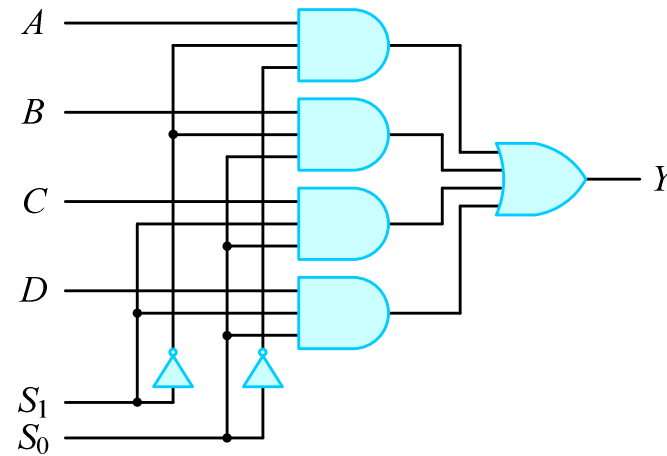
100. 그림과 같은 논리회로에서 S_1 과 S_0 가 각각 0, 1의 값을 가질 때, Y 는 어떤 값이 되는가?

① A

② B

③ C

④ D

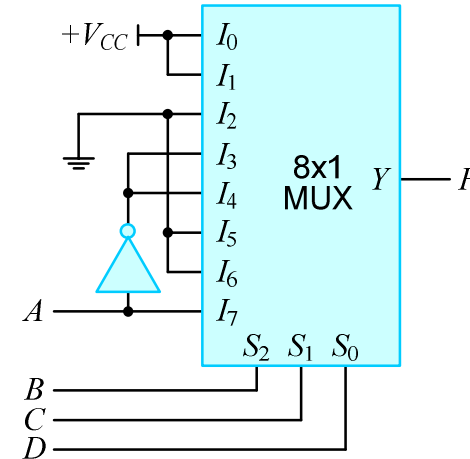


제시된 회로는 4×1 MUX이며, 분석하면 다음과 같다.

선택선		출력
S_1	S_0	Y
0	0	A
0	1	B
1	0	C
1	1	D

101. 다음 그림은 멀티플렉서를 이용한 논리회로이다. 이 회로에 대한 논리 함수는?

- ① $F(A, B, C, D) = \sum m(0, 1, 3, 4, 8, 9, 15)$
- ② $F(A, B, C, D) = \sum m(0, 2, 5, 6, 10, 11, 14)$
- ③ $F(A, B, C, D) = \sum m(1, 3, 8, 11, 14, 15)$
- ④ $F(A, B, C, D) = \sum m(1, 2, 6, 8, 9, 14)$



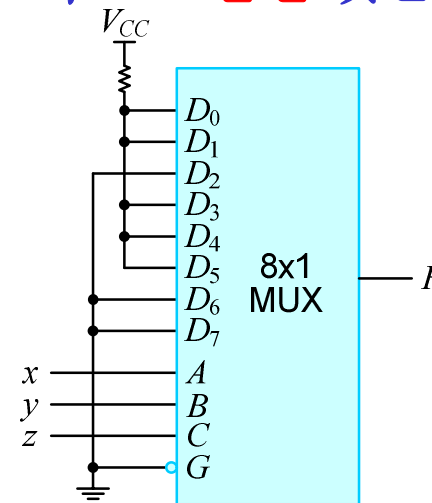
진리표

A	B	C	D	F	A	B	C	D	F
0	0	0	0	1	1	0	0	0	1
0	0	0	1	1	1	0	0	1	1
0	0	1	0	0	1	0	1	0	0
0	0	1	1	1	1	0	1	1	0
0	1	0	0	1	1	1	0	0	0
0	1	0	1	0	1	1	0	1	0
0	1	1	0	0	1	1	1	0	0
0	1	1	1	0	1	1	1	1	1

$$F(A, B, C, D) = \sum m(0, 1, 3, 4, 8, 9, 15)$$

102. 다음 회로의 출력 F 에 대한 회로식으로 틀린 것은? 단, x 는 MSB, z 는 LSB이다.

- ① $\bar{y} + \bar{x}z$
- ② $x\bar{y} + \bar{y}z + \bar{x}z$
- ③ $\bar{x}y + \bar{y}z + x\bar{y}$
- ④ $\bar{y}z + \bar{x}z + \bar{y}z$



진리표

x	y	z	F
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

$x \backslash yz$	00	01	11	10
0	1	1	1	0
1	1	1	0	0

$$\bar{y} + \bar{x}z$$

①

$x \backslash yz$	00	01	11	10
0	1	1	1	0
1	1	1	0	0

$$x\bar{y} + \bar{y}z + \bar{x}z$$

②

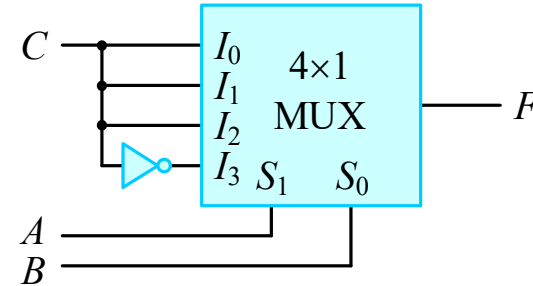
$x \backslash yz$	00	01	11	10
0	1	1	1	0
1	1	1	0	0

$$\bar{y}z + \bar{x}z + \bar{y}z$$

④

103. 다음 그림과 같이 멀티플렉서(MUX)를 이용하여 구성된 조합논리회로가 나타내는 출력 F 를 민텀의 합형으로 표현하면?

- ① $F(A, B, C) = \Sigma m(1, 3, 5, 6)$
- ② $F(A, B, C) = \Sigma m(0, 1, 5, 8)$
- ③ $F(A, B, C) = \Sigma m(2, 5, 7, 8)$
- ④ $F(A, B, C) = \Sigma m(0, 2, 4, 6)$



제시된 회로를 분석하면

$A=0, B=0$ 이면 $F=C$

$A=0, B=1$ 이면 $F=C$

$A=1, B=0$ 이면 $F=C$

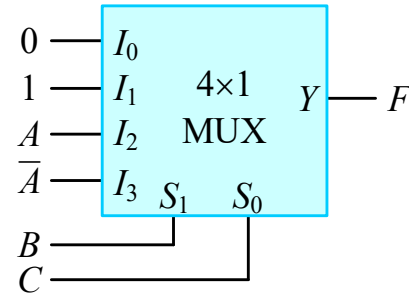
$A=1, B=1$ 이면 $F=\bar{C}$

기호	A	B	C	F
m_0	0	0	0	0
m_1	0	0	1	1
m_2	0	1	0	0
m_3	0	1	1	1
m_4	1	0	0	0
m_5	1	0	1	1
m_6	1	1	0	1
m_7	1	1	1	0

$$\begin{aligned}
 F(A, B, C) &= m_1 + m_3 + m_5 + m_6 \\
 &= \Sigma m(1, 3, 5, 6)
 \end{aligned}$$

104. 4×1 멀티플렉서를 이용하여 논리회로를 구현한 것으로 옳은 것은?

- ① $F(A, B, C) = \Sigma m(1, 3, 4, 6)$
- ② $F(A, B, C) = \Sigma m(0, 3, 5, 7)$
- ③ $F(A, B, C) = \Sigma m(1, 2, 4, 7)$
- ④ $F(A, B, C) = \Sigma m(1, 3, 5, 6)$



제시된 회로를 분석하면

$B=0, C=0$ 이면 $F=0$

$B=0, C=1$ 이면 $F=1$

$B=1, C=0$ 이면 $F=A$

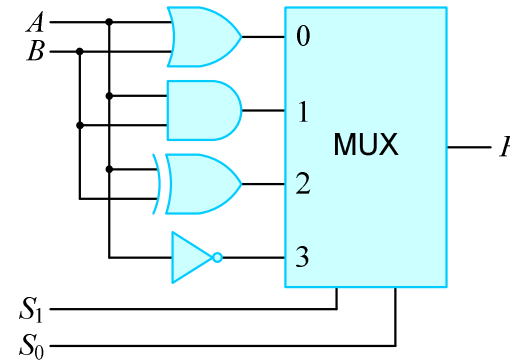
$B=1, C=1$ 이면 $F=\bar{A}$

기호	A	B	C	F
m_0	0	0	0	0
m_1	0	0	1	1
m_2	0	1	0	0
m_3	0	1	1	1
m_4	1	0	0	0
m_5	1	0	1	1
m_6	1	1	0	1
m_7	1	1	1	0

$$\begin{aligned}
 F(A, B, C) &= m_1 + m_3 + m_5 + m_6 \\
 &= \Sigma m(1, 3, 5, 6)
 \end{aligned}$$

105. 다음 논리회로에서 $F=AB$ 가 되게 하려면 S_1S_0 의 상태는?

- ① 0, 0
- ② 0, 1
- ③ 1, 0
- ④ 1, 1



제시된 회로를 분석하면

$S_1=0, S_0=0$ 이면 $F=A+B$

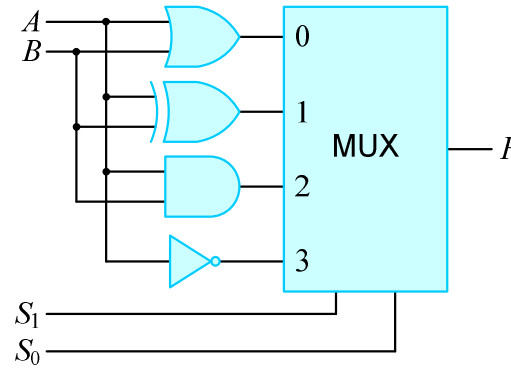
$S_1=0, S_0=1$ 이면 $F=AB$

$S_1=1, S_0=0$ 이면 $F=A \oplus B$

$S_1=1, S_0=1$ 이면 $F=\overline{A}$

106. 다음 논리회로에서 출력 F 로 나올 수 없는 것은?

- ① $\bar{B}$
- ② $\bar{A}B + A\bar{B}$
- ③ AB
- ④ $A + B$

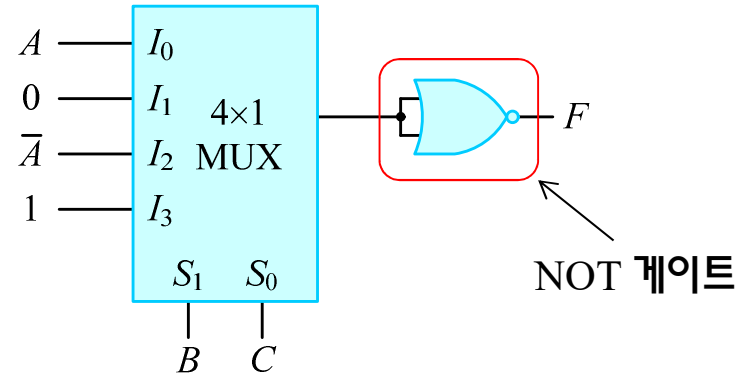


제시된 회로를 분석하면 다음과 같다.

S_1	S_0	F
0	0	$A+B$
0	1	$\bar{A}B+A\bar{B}$
1	0	AB
1	1	$\bar{A}$

107. 멀티플렉서를 이용한 회로의 논리함수로 옳은 것은?

- ① $F(A,B,C) = \Sigma m(1,4,5,7)$
- ② $F(A,B,C) = \Sigma m(2,3,4,7)$
- ③ $F(A,B,C) = \Sigma m(1,2,3,6)$
- ④ $F(A,B,C) = \Sigma m(0,1,5,6)$



제시된 회로를 분석하면

$B=0, C=0$ 이면 $F=\bar{A}$

$B=0, C=1$ 이면 $F=1$

$B=1, C=0$ 이면 $F=A$

$B=1, C=1$ 이면 $F=0$

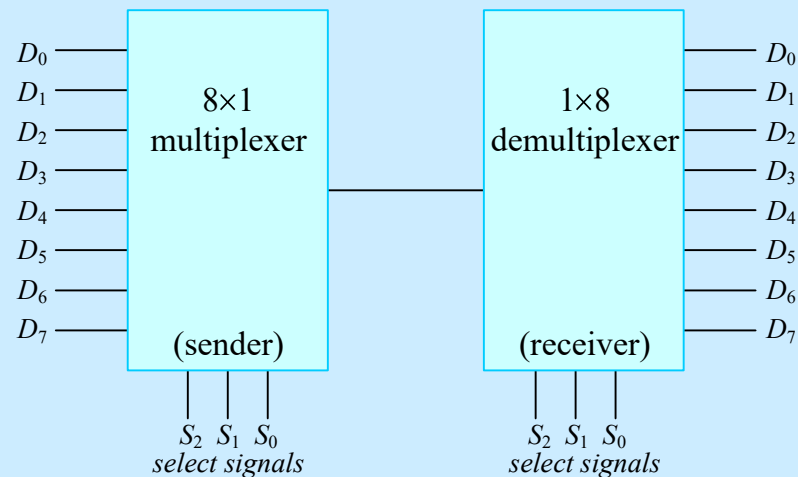
기호	A	B	C	F
m_0	0	0	0	1
m_1	0	0	1	1
m_2	0	1	0	0
m_3	0	1	1	0
m_4	1	0	0	0
m_5	1	0	1	1
m_6	1	1	0	1
m_7	1	1	1	0

$$\begin{aligned}
 F(A,B,C) &= m_0 + m_1 + m_5 + m_6 \\
 &= \Sigma m(0,1,5,6)
 \end{aligned}$$

113. 디멀티플렉서의 설명 중 옳은 것은?

- ① 정보를 여러 개의 선으로 받아서 1개의 선으로 전송하는 회로이다.
- ② 정보를 한 선으로 받아서 여러 개의 선들 중 한 개를 선택하여 정보를 전송하는 회로이다.
- ③ 디코더와 한 쌍으로 동작한다.
- ④ 많은 수의 정보 장치를 적은 수의 채널을 통해 전송하는 회로이다.

- 전송 시스템에서 디멀티플렉서는 멀티플렉서와 한 쌍으로 동작한다.
- 멀티플렉서는 많은 수의 정보 장치를 적은 수의 채널을 통해 전송하는 회로이다.



114. 디멀티플렉서에 대한 설명 중 옳은 것은?

- ① data selector라고도 불려진다.
- ② 2^n 개의 input lines과 n 개의 output line을 갖는다.
- ③ n 개의 input line과 2^n 개의 output line을 갖는다.
- ④ 1개의 input line과 n 개의 selection line에 의해 2^n 개의 output line 중 하나를 선택한다.

- ① 멀티플렉서는 data selector라고도 한다.
- ② 1개의 input lines과 n 개의 selection line을 갖는다.
- ③ 1개의 input line과 2^n 개의 output line을 갖는다.

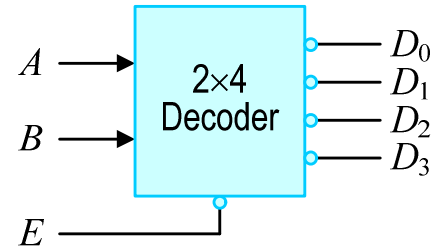
115. 16개의 입력선을 가진 multiplexer의 출력에 32개의 출력선을 가진 demultiplexer를 연결했을 경우에 multiplexer와 demultiplexer의 선택선은 각각 몇 개를 가져야 하는가?

- ① 멀티플렉서 : 4개, 디멀티플렉서 : 5개
- ② 멀티플렉서 : 4개, 디멀티플렉서 : 3개
- ③ 멀티플렉서 : 8개, 디멀티플렉서 : 4개
- ④ 멀티플렉서 : 4개, 디멀티플렉서 : 8개

- 2^n 개의 입력 및 출력을 제어하기 위해서는 n 개의 선택선이 필요하다.
- 멀티플렉서 : $16(=2^4)$ 개의 입력선을 제어하기 위해서는 4개의 선택선이 필요하다.
- 디멀티플렉서 : $32(=2^5)$ 개의 출력선을 제어하기 위해서는 5개의 선택선이 필요하다.

116. 인에이블 입력을 가지고 있는 디코더는 다음의 예 중 어느 것으로 사용될 수 있는가? 단, 그림에서 입력과 E (enable)를 바꾸어서 사용한다.

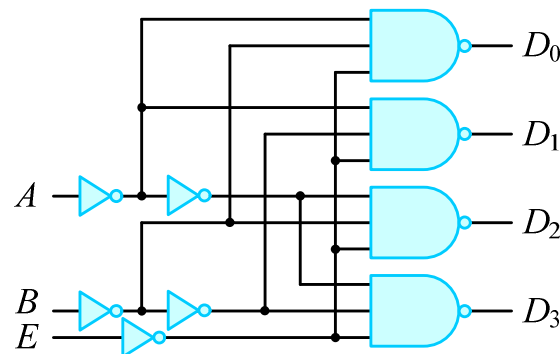
- ① encoder
- ② multiplexer
- ③ demultiplexer
- ④ ROM



인에이블(E) 단자를 갖는 디코더는 디멀티플렉서로도 사용할 수 있다.

117. 다음 회로의 명칭은?

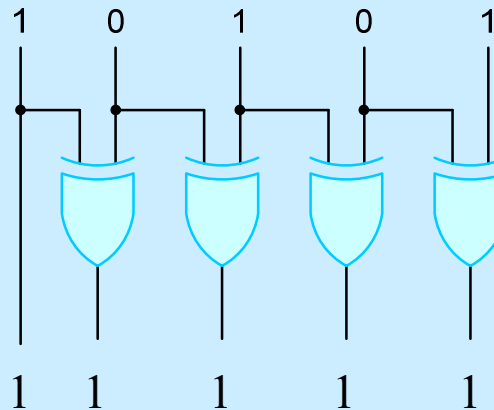
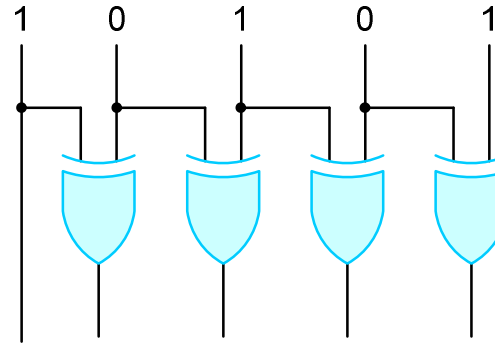
- ① 인코더
- ② 멀티플렉서
- ③ 디멀티플렉서
- ④ 패리티 체크 회로



인에이블(E) 단자를 갖는 디코더는 디멀티플렉서로도 사용할 수 있다.

118. 다음 그림과 같은 논리회로 출력의 값과 그 기능은?

- ① 11011, 패리티 점검
- ② 11000, 양수, 음수 점검
- ③ 11111, 코드 변환
- ④ 10000, 패리티 변환



2진수를 그레이 코드로 변환하는 회로

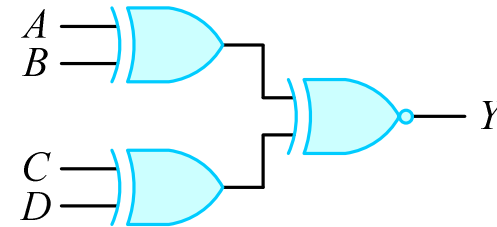
119. 송신기가 ASCII 코드 1100101을 홀수 패리티를 사용하여 전송한다면 11001011을 보내게 된다. 이 때, 수신측에서의 논리적인 검사 방식에 주로 사용되는 논리회로는?

- | | |
|-------|-------|
| ① AND | ② NOT |
| ③ OR | ④ XOR |

패리티 발생기와 패리티 검사기에는 XOR 게이트가 사용된다.

120. 다음 회로의 명칭으로 옳은 것은?

- ① 4비트 홀수 패리티 발생기
- ② 4비트 짝수 패리티 발생기
- ③ 4비트 비교기
- ④ 4비트 우선순위 인코더



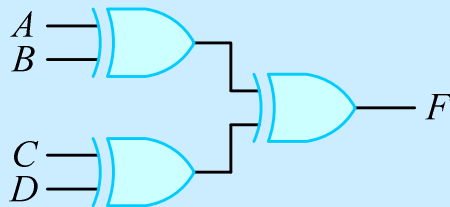
제시된 회로에서 출력 Y 에 대해 진리표를 작성하면 회로는 **기수(홀수) 패리티 발생기**가 된다.

A	B	C	D	Y	A	B	C	D	Y
0	0	0	0	1	1	0	0	0	0
0	0	0	1	0	1	0	0	1	1
0	0	1	0	0	1	0	1	0	1
0	0	1	1	1	1	0	1	1	0
0	1	0	0	0	1	1	0	0	1
0	1	0	1	1	1	1	0	1	0
0	1	1	0	1	1	1	1	0	0
0	1	1	1	0	1	1	1	1	1

121. 논리식 $F=((A\oplus B)\oplus(C\oplus D))$ 로 나타낼 수 있는 회로는?

- ① 전가산기 회로
- ② 4 비트 병렬 가산기 회로
- ③ 짝수 패리티 발생기 회로
- ④ 홀수 패리티 발생기 회로

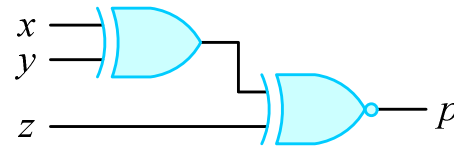
출력 F 에 대해 진리표를 작성하면 회로는 **짝수 패리티 발생기**가 된다.



A	B	C	D	Y	A	B	C	D	Y
0	0	0	0	0	1	0	0	0	1
0	0	0	1	1	1	0	0	1	0
0	0	1	0	1	1	0	1	0	0
0	0	1	1	0	1	0	1	1	1
0	1	0	0	1	1	1	0	0	0
0	1	0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0

122. 다음 회로의 기능은?

- ① 3비트 홀수 패리티 발생기
- ② 3비트 비교기
- ③ 3비트 짝수 패리티 발생기
- ④ 3비트 감산기



출력 p 에 대해 진리표를 작성하면 제시된 회로는 3비트 홀수 패리티 발생기가 된다.

x	y	z	p
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

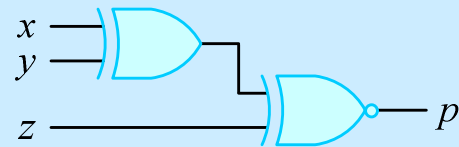
123. 다음 중 홀수 패리티 발생기에 대한 식으로 옳은 것은? 단, 입력은 x, y, z 이다.

① $(x \odot y) \odot z$

② $(x \oplus y) \oplus z$

③ $(x \oplus y) \odot z$

④ $(x + y) \cdot z$



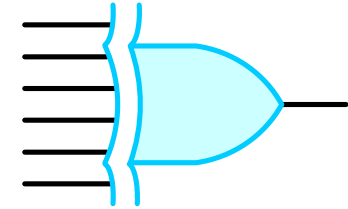
3비트 홀수 패리티 발생기

x	y	z	p
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

진리표

124. 다음 논리회로의 기능은?

- ① 6개(비트)입력을 모두 더 하는 기능을 갖는다.
- ② 6개의(비트)입력을 모두 보수화 한다.
- ③ 6개의(비트)입력이 짝수개의 1을 가질 때 출력이 1이 된다.
- ④ 6개의(비트)입력이 홀수개의 1을 가질 때 출력이 1이 된다.



주어진 회로는 **짝수 패리티 발생기**이므로

6개의 입력이 짝수개의 1을 가질 때 출력이 0이 되거나

6개의 입력이 홀수개의 1을 가질 때 출력은 1이 된다.

125. 2입력 1출력인 XOR 게이트를 사용하여 8비트 패리티 검사를 할 때 최소로 필요한 XOR 게이트의 수는?

- ① 9개 ② 8개 ③ 7개 ④ 6개

그림은 짝수 패리티 검사기인 경우이며, 출력 $Y=0$ 이면 에러가 발생하지 않았다고 판단하며, $Y=1$ 이면 에러가 발생한 것으로 판단한다. 8비트 패리티 검사를 할 때 7개의 XOR 게이트가 필요하다

