

처음 만나는 디지털 논리회로

제08장 플립플롭

기출문제 풀이

01. 입력 신호에 의해 상태를 바꾸도록 지시할 때까지 현재의 2진 상태를 그대로 유지해 주는 회로는?

- ① 플립플롭 ② 디코더
③ 인코더 ④ 커패시터

플립플롭은 입력 신호에 의해 상태가 변경될 때까지 현재의 상태를 유지한다.

02. 플립플롭이 가지고 있는 기능은?

- ① gate 기능 ② 기억 기능
③ 증폭 기능 ④ 전원 기능

플립플롭이나 래치는 두 가지 상태 중 하나를 가지는 1비트 기억소자이다.

03. 플립플롭(flip-flop)을 응용해서 만들 수 없는 것은?

- ① 카운터
- ② 멀티플렉서
- ③ 레지스터
- ④ SRAM

플립플롭은 카운터, 레지스터, 메모리(SRAM) 등에 사용된다.

04. 다음 중에서 플립플롭을 이용하여 구성하는 회로가 아닌 것은?

- ① 시프트 레지스터
- ② 카운터
- ③ 분주기
- ④ 전가산기

플립플롭은 카운터, 레지스터, 주파수 분주기 등에 사용된다.

05. 다음 중 NOR 게이트로 구성된 SR 플립플롭에 대한 설명으로 틀린 것은?

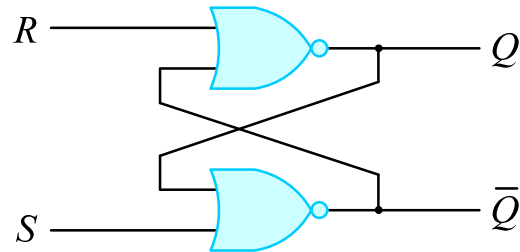
- ① $S=R=0$ 이면 상태 변화가 없고 처음의 상태를 유지한다.
- ② $S=0, R=1$ 일 때, $Q_n=0$ 이면 변화가 없고 $Q_n=1$ 이면 $Q_{n+1}=0$ 으로 된다.
- ③ $S=1, R=1$ 일 때, $Q_n=0$ 이면 $Q_{n+1}=1$ 로 되고 $Q_n=1$ 이면 변화가 없다.
- ④ $S=1, R=0$ 일 때, $Q_n=0$ 이면 1로 되고 $Q_n=1$ 이면 Q_{n+1} 은 변화가 없다.

$S=1, R=1$ 이면, $Q_n=0$ 과 $\bar{Q}_n=0$ 이 되어 서로 보수의 상태가 아닌 부정상태가 되므로 $S=R=1$ 인 입력은 금지된다.

S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	부정

NOR 게이트 SR 래치의 진리표

06. 다음 NOR 게이트로 구성된 SR 플립플롭의 진리표 중에서 **잘못된** 것은?



R	S	Q_{n+1}
0	0	Q_n (불변)
0	1	1
1	0	0
1	1	$\bar{Q}_n$ (toggle)

① Q_n (불변)

② 0

③ 1

④ $\bar{Q}_n$ (toggle)

S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	부정

NOR 게이트 SR 래치의 진리표

07. NOR 게이트로 구성된 SR 플립플롭에서 이전 상태를 유지하기 위해서는 S와 R이 어떤 경우일 때인가?

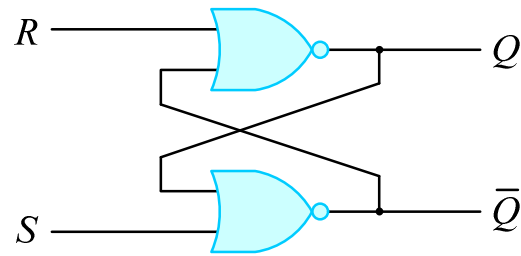
- ① $SR=01$ 일 때
- ② $SR=11$ 일 때
- ③ $SR=10$ 일 때
- ④ $SR=00$ 일 때

S	R	Q_{n+1}
0	0	Q_n (불변)
0	1	0
1	0	1
1	1	부정

NOR 게이트 SR 래치의 진리표

08. 다음과 같은 NOR 게이트로 구성된 기본적인 플립플롭 회로에서 $S=1, R=0$ 인 상태일 때 $Q, \bar{Q}$ 의 상태는?

- ① $Q = 0, \bar{Q} = 1$
- ② $Q = 1, \bar{Q} = 1$
- ③ $Q = 0, \bar{Q} = 0$
- ④ $Q = 1, \bar{Q} = 0$



S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	부정

NOR 게이트 SR 래치의 진리표

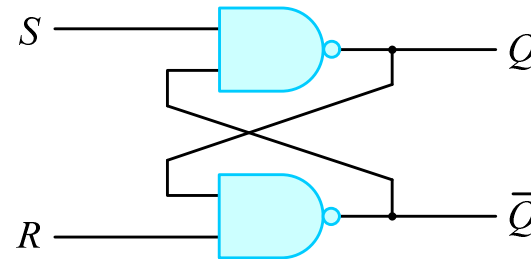
09. 다음 그림은 어떤 플립플롭(flip-flop)회로인가?

① basic_플립플롭

② JK 플립플롭

③ D 플립플롭

④ T 플립플롭



NAND 게이트로 구성된 래치회로이며, basic 플립플롭이라고도 한다.

10. 다음 중 NAND 게이트를 이용한 SR 래치(latch) 회로의 진리값으로 옳은 것은?

- ① 입력 $R=0, S=1$ 일 때 출력 $Q=0, \bar{Q}=0$
- ② 입력 $R=1, S=1$ 일 때 출력 이전 상태 유지(불변)
- ③ 입력 $R=1, S=0$ 일 때 출력 $Q=0, \bar{Q}=1$
- ④ 입력 $R=1, S=1$ 일 때 출력 부정

S	R	Q_{n+1}
0	0	부정
0	1	1
1	0	0
1	1	Q_n (불변)

NAND 게이트 SR 래치의 진리표

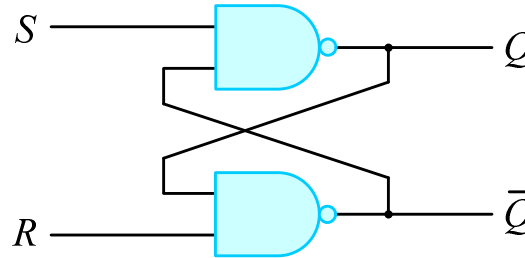
11. 다음 회로에서 $Q_n=0$ 인 상태에서 $S=1, R=0$ 이 가해지면 그 직후의 출력은?

① $Q = 1, \bar{Q} = 0$

② $Q = 0, \bar{Q} = 1$

③ $Q = 1, \bar{Q} = 1$

④ $Q = 0, \bar{Q} = 0$



S	R	Q_{n+1}
0	0	부정
0	1	1
1	0	0
1	1	Q_n (불변)

NAND 게이트 SR 래치의 진리표

12. SR 플립플롭의 동작 설명 중 옳지 않은 것은?

- ① $S=0, R=0$ 입력일 때 불변 상태가 된다.
- ② $S=0, R=1$ 입력일 때 리셋 상태가 된다.
- ③ $S=1, R=0$ 입력일 때 세트 상태가 된다.
- ④ $S=1, R=1$ 입력일 때 토글 상태가 된다.

S	R	Q_{n+1}
0	0	Q_n (불변)
0	1	0
1	0	1
1	1	부정

SR 플립플롭의 진리표

13. SR 플립플롭인 경우 시간 t_n 에서 입력 $S=1, R=0$ 일 때 시간 t_{n+1} 에서의 출력 Q 와 $\bar{Q}$ 의 상태는?

- ① $Q=0, \bar{Q}=0$ ② $Q=0, \bar{Q}=1$
 ③ $Q=1, \bar{Q}=0$ ④ $Q=1, \bar{Q}=1$

S	R	Q_{n+1}
0	0	Q_n (불변)
0	1	0
1	0	1
1	1	부정

SR 플립플롭의 진리표

14. 클록이 있는 SR 플립플롭에서 클록 펄스가 0일 때 이 회로의 기능은?

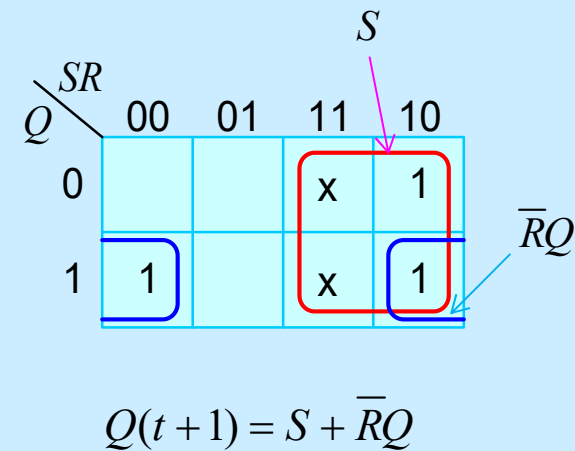
- ① JK 플립플롭 ② latch
 ③ RAM ④ ROM

클록 펄스가 0일 때에는 동작하지 않으므로 래치와 같다.

15. 클록형 SR 플립플롭의 특성 방정식은?

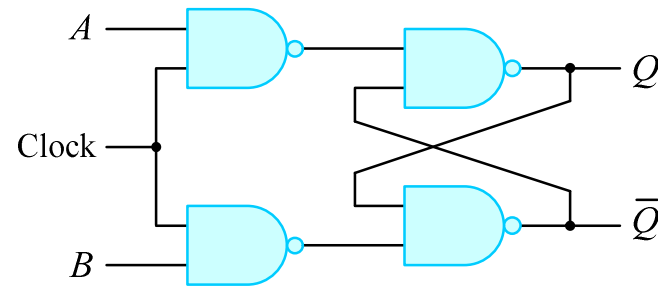
- ① $Q(t+1) = S + \bar{R}Q, C_p = 0$
- ② $Q(t+1) = S + RQ, C_p = 0$
- ③ $Q(t+1) = S + \bar{R}Q, C_p = 1$
- ④ $Q(t+1) = S + RQ, C_p = 1$

Q	S	R	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	(부정)
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	(부정)



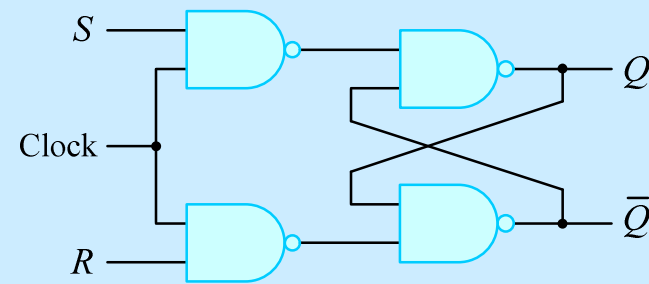
16. 다음의 플립플롭 회로에서 $A=0, B=0$ 인 경우 출력 $Q(t+1)$ 은 무엇인가?

- ① 0
- ② 1
- ③ $Q(t)$
- ④ $Q(t+1)$



S	R	$Q(t+1)$
0	0	$Q(t)$ (불변)
0	1	0
1	0	1
1	1	부정

SR 플립플롭의 진리표($A=S, B=R$)

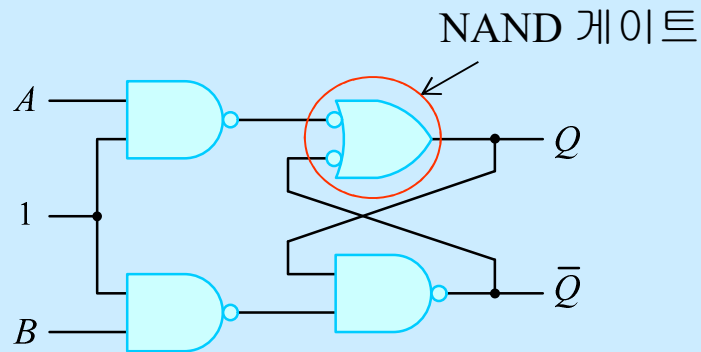
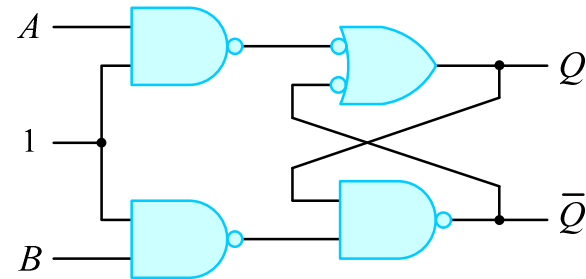


SR 플립플롭 회로도

17. 다음 회로에서 Q 가 0일 때, A 와 B 가 아래와 같이 변하면 Q 의 값의 변화는?

$A : 001001$ $B : 010100$

- ① 001101 ② 001001
③ 010010 ④ 001011



게이티드 SR 플립플롭(NAND형)

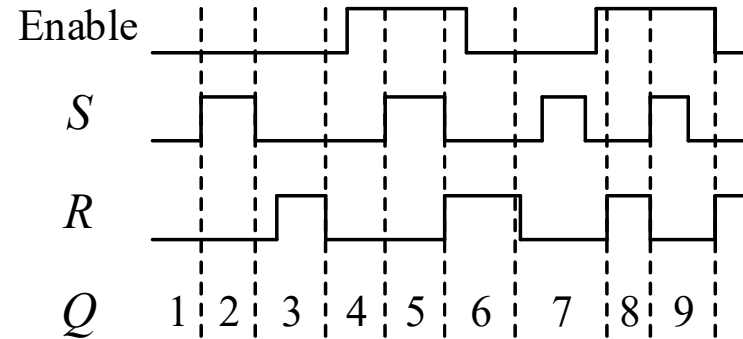
S	R	Q_{n+1}
0	0	Q_n (불변)
0	1	0
1	0	1
1	1	부정

SR 플립플롭의 진리표

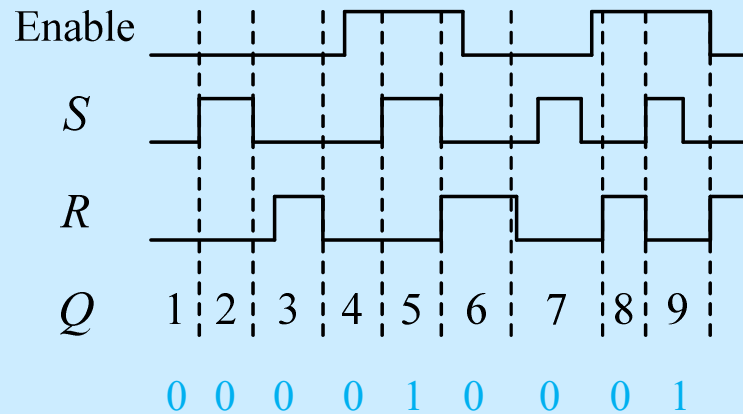
$A(=S)$	0 0 1 0 0 1
$B(=R)$	0 1 0 1 0 0
Q_{n+1}	0 0 1 0 0 1

18. 다음 SR 플립플롭 타이밍도의 결과값(Q)은?

- ① 0-0-0-0-1-0-0-0-1
- ② 0-1-0-0-1-0-1-0-1
- ③ 0-0-1-0-0-1-0-1-0
- ④ 0-1-0-0-1-1-0-1-0



Enable이 High인 경우에만 동작하므로



0 0 0 0 1 0 0 0 1

19. 플립플롭 중에서 입력 상태가 그대로 출력되는 것은?

- ① SR 플립플롭
- ② D 플립플롭
- ③ JK 플립플롭
- ④ T 플립플롭

D 플립플롭은 입력 D 의 상태를 1비트 타임만큼 지연되어 그대로 출력된다.

20. 데이터의 임시 저장을 위하여 사용하기에 가장 편리한 플립플롭은?

- ① SR 플립플롭
- ② JK 플립플롭
- ③ D 플립플롭
- ④ T 플립플롭

D 플립플롭에서 D 는 이름은 데이터(Data)를 전달한다는 의미와 지연(Delay)하는 역할에서 유래한다.

21. 지연 소자로 이용할 수 있는 플립플롭은?

- ① SR 플립플롭
- ② D 플립플롭
- ③ JK 플립플롭
- ④ T 플립플롭

D 플립플롭에서 D 는 이름은 데이터(Data)를 전달한다는 의미와 지연(Delay)하는 역할에서 유래한다.

22. 현재 상태의 값에 관계없이 다음 상태가 "0"이 되려면 입력도 "0"이 되어야 하는 플립플롭은?

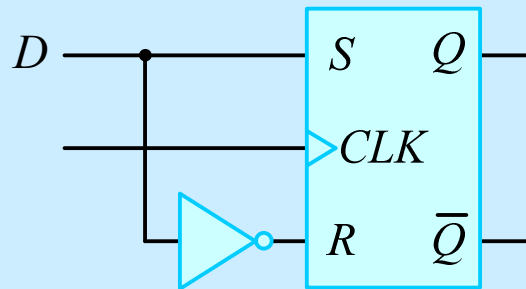
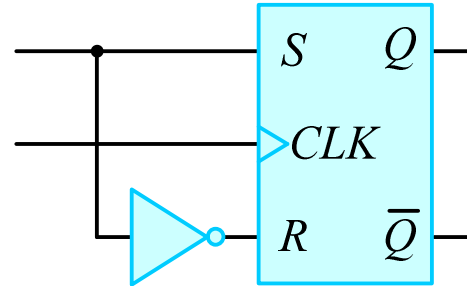
- ① T 플립플롭
- ② D 플립플롭
- ③ JK 플립플롭
- ④ SR 플립플롭

D	Q_{n+1}
0	0
1	1

D 플립플롭의 진리표

23. 다음 회로와 등가인 회로는 어느 것인가?

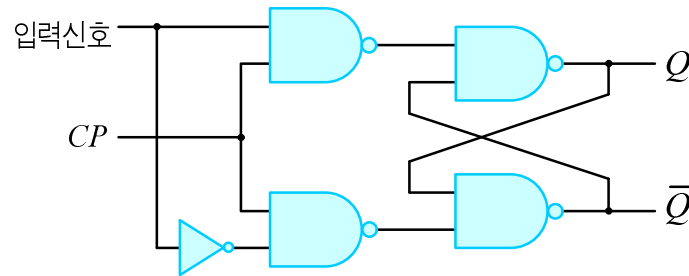
- ① SR 플립플롭
- ② JK 플립플롭
- ③ D 플립플롭
- ④ T 플립플롭



$D=0$ 인 경우 $S=0, R=1$ 이 입력되므로 $Q=0$
 $D=1$ 인 경우 $S=1, R=0$ 이 입력되므로 $Q=1$
 따라서 D 플립플롭으로 동작

25. 다음 논리회로도가 나타내는 플립플롭 회로는 무엇인가?

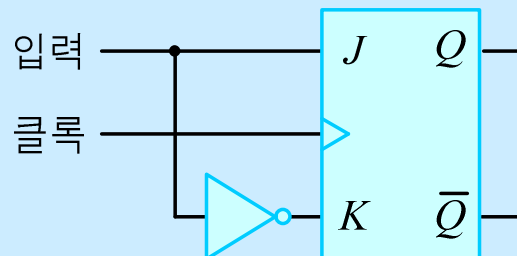
- ① T 플립플롭
- ② D 플립플롭
- ③ JK 플립플롭
- ④ SR 플립플롭



SR 플립플롭을 이용한 D 플립플롭

26. JK 플립플롭에 NOT 게이트를 추가하여 회로를 구성하면?

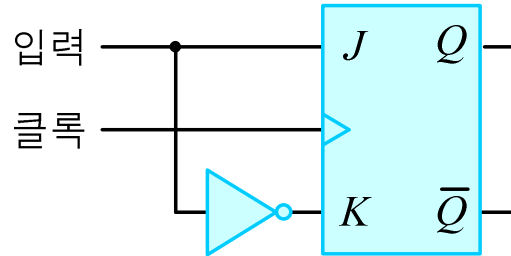
- ① M/S 플립플롭
- ② SR 플립플롭
- ③ D 플립플롭
- ④ T 플립플롭



JK 플립플롭을 이용한 D 플립플롭

27. 다음과 같은 결선의 플립플롭은 어떠한 플립플롭의 동작인가?

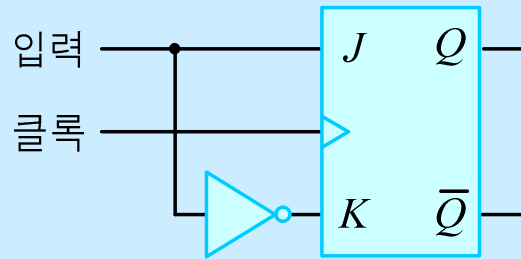
- ① SR 플립플롭
- ② T 플립플롭
- ③ D 플립플롭
- ④ JK 플립플롭



JK 플립플롭을 이용한 D 플립플롭

28. JK 플립플롭을 이용하여 D 형 플립플롭을 만들려면?

- ① J 의 입력을 인버터를 통해 K 에 연결한다.
- ② J 와 K 를 동일 입력으로 한다.
- ③ Q 의 입력을 J 에 궤환시킨다.
- ④ K 의 입력을 J 에 궤환시킨다.



JK 플립플롭을 이용한 D 플립플롭

29. 아래 표는 D 플립플롭의 진리표이다. Q_{n+1} 의 상태는?

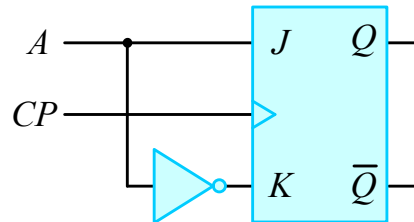
- ① $a=0, b=0, c=0, d=0$
- ② $a=0, b=0, c=0, d=1$
- ③ $a=0, b=1, c=0, d=1$
- ④ $a=0, b=0, c=1, d=1$

D	Q_n	Q_{n+1}
0	0	a
0	1	b
1	0	c
1	1	d

D 플립플롭은 입력 D 의 상태를 1비트 타임만큼 지연되어 그대로 출력된다.

30. 다음 플립플롭의 진리표로 옳은 것은?

- ① $q_1=0, q_2=0$
- ② $q_1=1, q_2=0$
- ③ $q_1=0, q_2=1$
- ④ $q_1=1, q_2=1$



A	Q
0	q_1
1	q_2

제시된 회로는 D 플립플롭과 같이 동작하므로 입력 A 가 출력 Q 로 그대로 출력된다.

31. D 플립플롭 회로의 특성방정식은?

① $Q(t+1) = \overline{D}Q(t)$

② $Q(t+1) = D$

③ $Q(t+1) = D\overline{Q}(t)$

④ $Q(t+1) = Q(t)$

$Q(t)$	D	$Q(t+1)$
0	0	0
0	1	1
1	0	0
1	1	1

D 플립플롭의 특성표

		D	
		0	1
$Q(t)$	0		1
	1		1

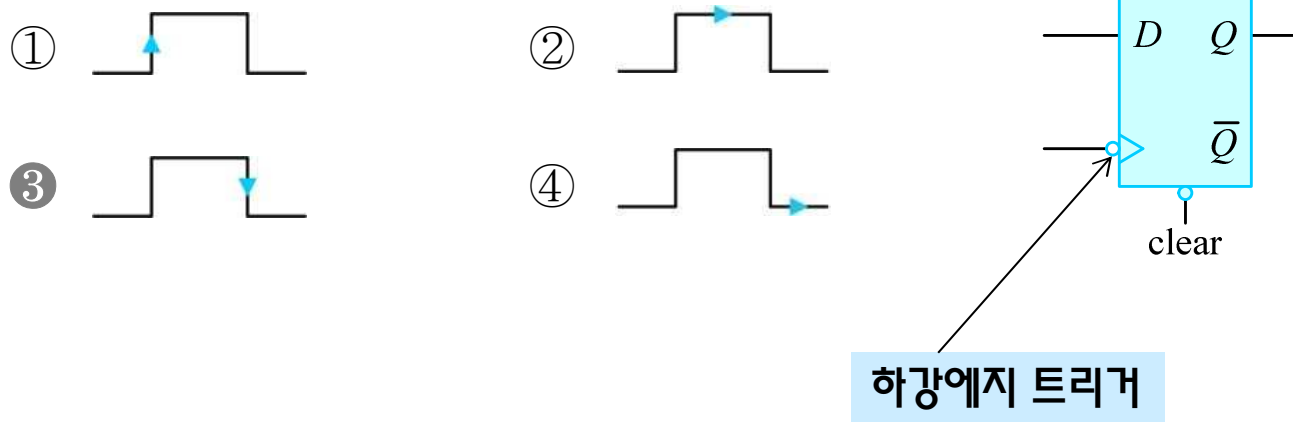
$Q(t+1) = D$

32. D 플립플롭의 특성 방정식은 $Q(t+1)=D$ 이다. 이 의미는?

- ① 플립플롭의 다음 상태는 현재 상태에 종속적이다.
- ② 플립플롭의 다음 상태는 D 에만 종속적이다.
- ③ 플립플롭의 다음 상태는 항상 토글이다.
- ④ 플립플롭의 다음 상태는 항상 0이다.

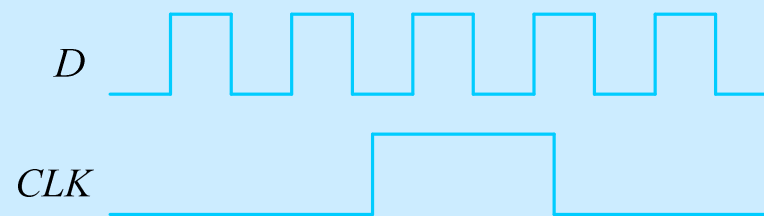
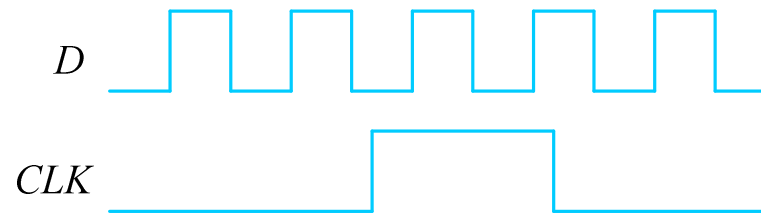
D 플립플롭은 입력 D 의 상태를 1비트 타임만큼 지연되어 그대로 출력되므로 다음 상태 출력 $Q(t+1)$ 은 D 에 의해서만 결정된다.

33. 다음 그림에서 D 값이 기억되기 위한 클럭 조건은?



34. 다음 그림의 파형이 positive 에지 트리거 D 플립플롭의 입력으로 들어간다. D 플립플롭에서 클럭 펄스(CLK) 후 출력(Q)의 값은?

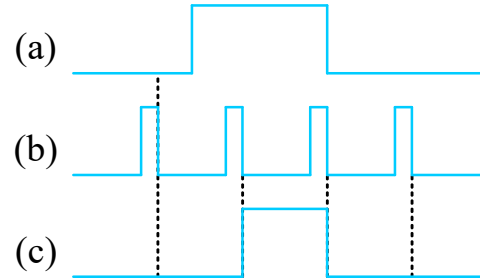
- ① 불변
- ② 반전
- ③ 1
- ④ 0



이 시점에서 $D=0$ 이므로 출력 $Q=0$ 이다.

35. 그림과 같은 타이밍 차트(timing chart)에 표시한 것과 같은 동작을 하는 플립플롭은? 단, (a)는 입력, (b)는 클록 펄스, (c)는 출력 파형이다.

- ① T 플립플롭
- ② JK 플립플롭
- ③ D 플립플롭
- ④ SR 플립플롭



하강에지 트리거 D 플립플롭의 동작 파형이다.

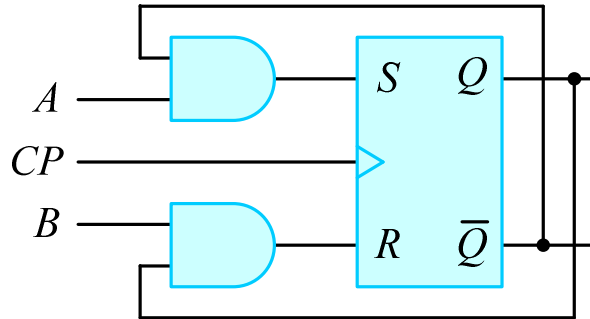
36. SR 플립플롭에서 $S=R=1$ 일 때 발생하는 결점을 보완한 플립플롭은?

- ① D 플립플롭
- ② T 플립플롭
- ③ SR 플립플롭
- ④ JK 플립플롭

JK 플립플롭은 SR 플립플롭에서 $S=R=1$ 일 때 발생하는 결점을 보완한 플립플롭이다.

37. 다음과 같은 구성도는 어떤 형태의 플립플롭인가?

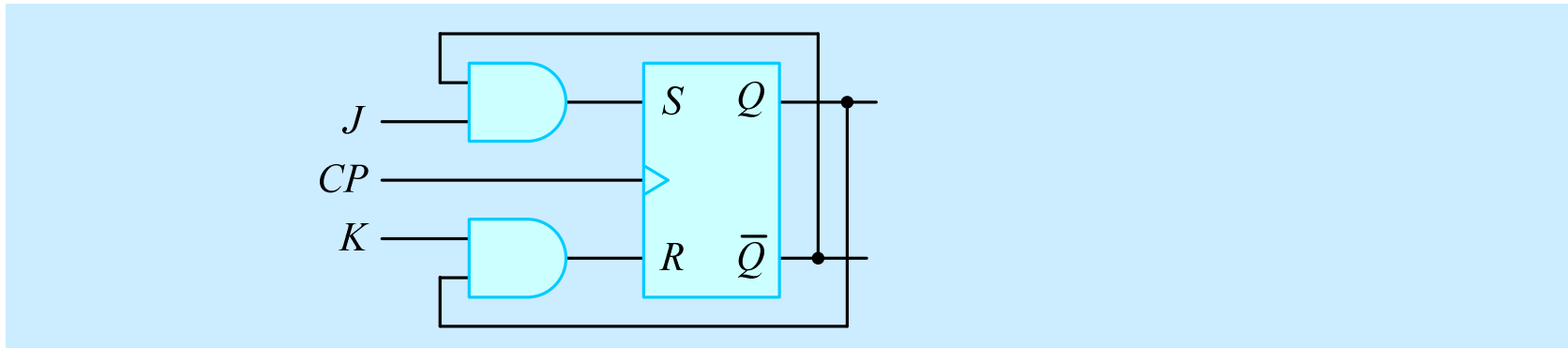
- ① D 형
- ② M/S 형
- ③ JK 형
- ④ T 형



SR 플립플롭을 JK 플립플롭으로 만들려면 AND 게이트 2개가 필요하다.

38. *SR* 플립플롭을 *JK* 플립플롭으로 만들고자 할 때 필요한 게이트(gate)는?

- ① OR 게이트 2개
- ② AND 게이트 2개
- ③ NOR 게이트 2개
- ④ NAND 게이트 2개



40. JK 플립플롭에서 $J_n=0, K_n=0$ 일 때, Q_{n+1} 의 출력은?

- ① 0 ② 1 ③ Q_n ④ -1

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표

41. JK 플립플롭에서 $J_n=0, K_n=1$ 일 때 클록 펄스가 1이면 Q_{n+1} 의 출력 상태는?

- ① 반전 ② 1 ③ 0 ④ 부정

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표

42. JK 플립플롭에서 $J_n=1, K_n=0$ 일 때 Q_{n+1} 의 출력 상태는?

- ① 반전 ② 불변 ③ 세트 ④ 리셋

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표

43. JK 플립플롭에서 $J_n=K_n=1$ 일 때 Q_{n+1} 의 출력 상태는?

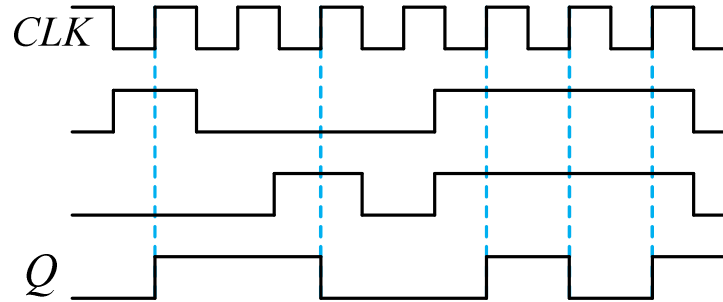
- ① 반전 ② 변화가 없다
③ 1 ④ 0

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표

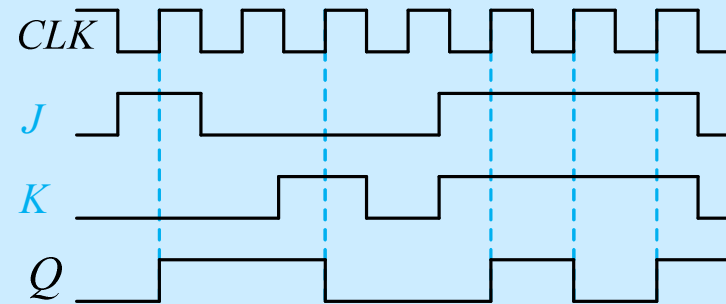
44. 다음 그림은 어떤 플립플롭의 타이밍 다이어그램인가?

- ① SR 플립플롭
- ② D 플립플롭
- ③ T 플립플롭
- ④ JK 플립플롭



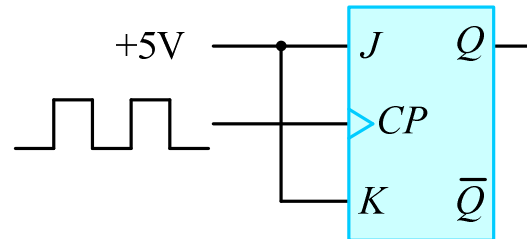
J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표



45. JK 플립플롭을 그림과 같이 결선하고, 클록 펄스가 계속 인가되면 출력은 어떤 상태가 되는가?

- ① set
- ② reset
- ③ toggling
- ④ 동작 불능



J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표

46. JK 플립플롭에서 클록 신호가 인가되더라도 현재의 출력이 변하지 않고 그대로 유지되게 하려면 J, K 입력은 각각 어떤 값이어야 하는가?

- ① $J=0, K=0$ ② $J=0, K=1$
 ③ $J=1, K=0$ ④ $J=1, K=1$

J	K	Q_{n+1}
0	0	Q_n (불변)
0	1	0
1	0	1
1	1	Toggle

JK 플립플롭의 진리표

47. JK 플립플롭의 트리거 입력과 상태 전환 조건을 설명한 것 중 옳지 않은 것은?

- ① $J=0, K=0$ 일 때는 반전하지 않는다.
- ② $J=0, K=1$ 일 때는 Q 가 0으로 된다.
- ③ $J=1, K=0$ 일 때는 Q 가 1로 된다.
- ④ $J=1, K=0$ 일 때는 반전된다.

④ $J=1, K=0$ 일 때, $Q=1$ 로 된다.

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표

48. 현재의 출력(Q) 상태가 1일 때, JK 플립플롭의 설명으로 틀린 것은?

- ① $J=1$ 이고 $K=0$ 이면 1을 출력한다.
- ② $J=1$ 이고 $K=1$ 이면 0을 출력한다.
- ③ $J=0$ 이고 $K=1$ 이면 1을 출력한다.
- ④ $J=0$ 이고 $K=0$ 이면 1을 출력한다.

③ $J=0$ 이고 $K=1$ 이면 0을 출력한다.

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표

49. JK 플립플롭의 특성 방정식은? 이 때, $Q(t)$ 는 현재 상태, $Q(t+1)$ 은 다음 상태이다.

① $Q(t+1) = \bar{J}\bar{Q}(t) + KQ(t)$

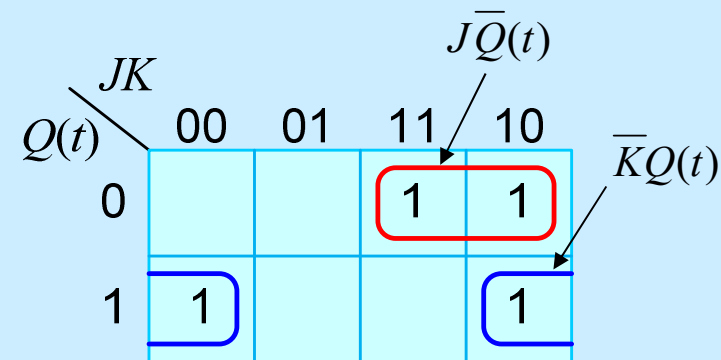
② $Q(t+1) = \bar{J}Q(t) + K\bar{Q}(t)$

③ $Q(t+1) = J\bar{Q}(t) + \bar{K}Q(t)$

④ $Q(t+1) = JQ(t) + \bar{K}\bar{Q}(t)$

$Q(t)$	J	K	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

JK 플립플롭의 특성표



$$Q(t+1) = J\bar{Q}(t) + \bar{K}Q(t)$$

50. 다음 진리표와 같은 플립플롭을 나타내는 것은? 단, $\times$ 는 don't care이다.

- ① D 플립플롭
- ② SR 플립플롭
- ③ JK 플립플롭
- ④ clock SR 플립플롭

입력	CP	Q_{n+1} $\bar{Q}_{n+1}$
0 0	$\times$	불 변
0 1	$\uparrow$	0 1
1 0	$\uparrow$	1 0
1 1	$\uparrow$	반전(Toggle)

J	K	CP	Q_{n+1}
0	0	$\uparrow$	Q_n (불변)
0	1	$\uparrow$	0
1	0	$\uparrow$	1
1	1	$\uparrow$	toggle

JK 플립플롭의 진리표(상승 에지 트리거)

51. 다음 Q_{n+1} 열에 알맞은 것은?

	(a)	(b)	(c)	(d)	(e)	(f)
①	0	1	1	0	0	1
②	0	1	1	1	0	1
③	0	1	1	0	1	1
④	1	0	0	0	1	1

Q_n	J	K	Q_{n+1}
0	0	1	(a)
0	1	0	(b)
0	1	1	(c)
1	0	0	(d)
1	0	1	(e)
1	1	0	(f)

$J=0, K=1$ 이므로 $Q_{n+1} = 0$ 이다. (a)

$J=1, K=0$ 이므로 $Q_{n+1} = 1$ 이다. (b)

$J=1, K=1$ 이므로 현재 상태를 반전하여 $Q_{n+1} = 1$ 이다. (c)

$J=0, K=0$ 이므로 현재 상태를 유지하여 $Q_{n+1} = 1$ 이다. (d)

$J=0, K=1$ 이므로 $Q_{n+1} = 0$ 이다. (e)

$J=1, K=0$ 이므로 $Q_{n+1} = 1$ 이다. (f)

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표

52. toggling 상태를 이용한 플립플롭 형태는?

- ① SR 플립플롭
- ② D 플립플롭
- ③ JK 플립플롭
- ④ T 플립플롭

JK 플립플롭에서 $J=1, K=1$ 일 때 클록 펄스가 입력되면 이전 출력이 반전되며, 이러한 동작을 토글(toggle)이라 한다. 이러한 상태만을 이용하는 플립플롭을 T 플립플롭이라 한다.

53. 다음 특성표(characteristic table)를 만족하는 플립플롭은?

- ① SR 플립플롭
- ② D 플립플롭
- ③ JK 플립플롭
- ④ T 플립플롭

입력	$Q(t)$	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

T 플립플롭은 입력이 0이면 출력은 변화가 없으며, 입력이 1이면 출력이 반전(토글)된다.

54. 다음 T 플립플롭의 특성표에서 출력 $Q(t+1)$ 은?

- ① $\textcircled{a} \rightarrow 0, \textcircled{b} \rightarrow 0, \textcircled{c} \rightarrow 1, \textcircled{d} \rightarrow 1$
- ② $\textcircled{a} \rightarrow 0, \textcircled{b} \rightarrow 1, \textcircled{c} \rightarrow 0, \textcircled{d} \rightarrow 1$
- ③ $\textcircled{a} \rightarrow 0, \textcircled{b} \rightarrow 1, \textcircled{c} \rightarrow 1, \textcircled{d} \rightarrow 0$
- ④ $\textcircled{a} \rightarrow 0, \textcircled{b} \rightarrow 1, \textcircled{c} \rightarrow 1, \textcircled{d} \rightarrow 1$

$Q(t)$	T	$Q(t+1)$
0	0	$\textcircled{a}$
0	1	$\textcircled{b}$
1	0	$\textcircled{c}$
1	1	$\textcircled{d}$

T 플립플롭은 입력(T)이 0이면 출력은 변화가 없으며, 입력이 1이면 출력이 반전(토글)된다.

$Q(t)$	T	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

T 플립플롭의 특성표

55. T 플립플롭을 토글(toggle) 플립플롭이라고 하는 주된 이유는?

- ① 상태 변화를 위해서는 토글 스위치가 필요하므로
- ② 2개의 입력 펄스마다 토글되므로
- ③ 출력이 스스로 토글되므로
- ④ 각 입력 펄스마다 출력이 토글되므로

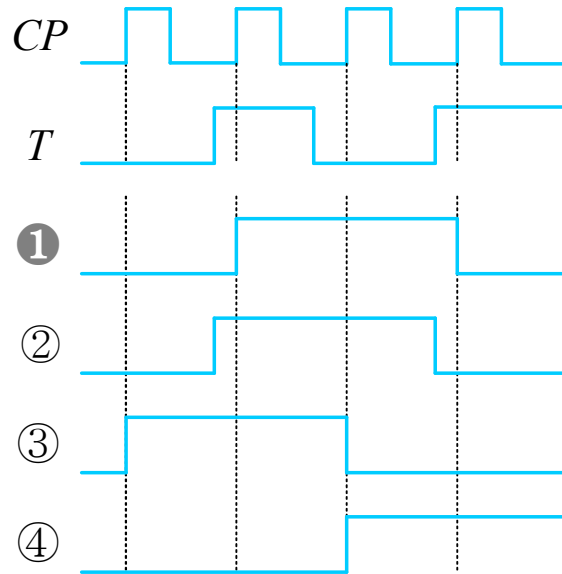
T 플립플롭은 입력펄스가 인가될 때마다 출력이 반전(토글)된다.

56. 플립플롭 중 입력 단자가 하나이며, "1"이 입력될 때마다 출력 단자의 상태가 바뀌는 것은?

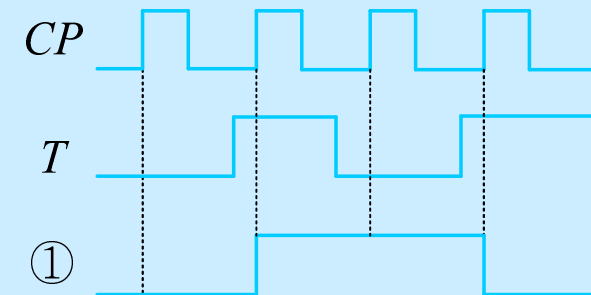
- ① SR 플립플롭
- ② T 플립플롭
- ③ D 플립플롭
- ④ M/S 플립플롭

T 플립플롭은 입력펄스가 인가될 때마다 출력이 반전(토글)된다.

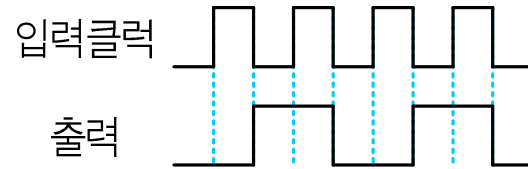
57. 다음과 같은 파형을 클록(CP)형 T 플립플롭에 가하였을 때, 출력 파형으로 맞는 것은? 단, T 플립플롭은 상승 에지(edge)에서 동작하고 클록이 입력되기 전의 T 플립플롭의 출력은 0이다.



CP 의 상승 에지에서 $T=0$ 이면 상태가 변하지 않고,
 CP 의 상승 에지에서 $T=1$ 이면 반전한다.



58. 다음과 같은 입력 펄스에 따라 출력이 나타나는 플립플롭은?



- ① SR 플립플롭
- ② RST 플립플롭
- ③ D 플립플롭
- ④ T 플립플롭

입력 클럭의 하강 에지에서 상태가 반전하므로 하강 에지 트리거 T 플립플롭이다.

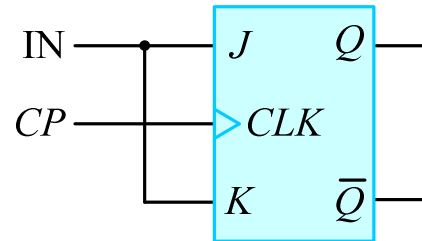
59. 시간 폭이 매우 좁은 트리거 펄스 열이 입력단에 가해진다면, 이 펄스가 나타나는 순간마다 출력 상태가 바뀌는 플립플롭은?

- ① JK 플립플롭
- ② T 플립플롭
- ③ SR 플립플롭
- ④ D 플립플롭

T 플립플롭은 클럭의 에지에서 상태가 반전(toggle)된다.

60. JK 플립플롭을 그림과 같이 연결하면 어떤 플립플롭과 같은 동작을 하는가?

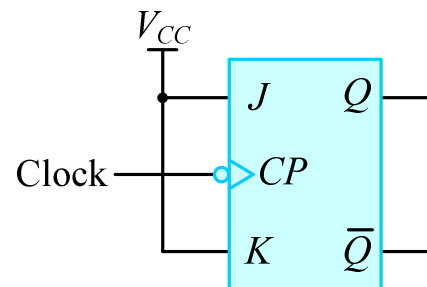
- ① D 플립플롭
- ② SR 플립플롭
- ③ T 플립플롭
- ④ master-slave 플립플롭



$IN=1$ 로 하면 CP 의 상승 에지마다 상태가 반전하므로 T 플립플롭이다.

61. 다음 회로와 같은 동작 기능을 갖는 플립플롭은? 단, 회로에서 접지는 생략되어 있다.

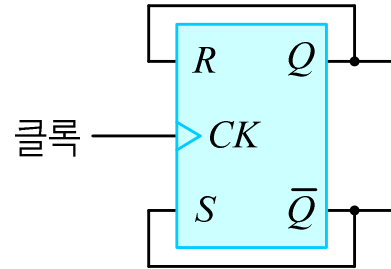
- ① SR 플립플롭
- ② JK 플립플롭
- ③ T 플립플롭
- ④ D 플립플롭



$J=K=1$ 이면 출력 Q 는 상태가 반전되므로 T 플립플롭으로 동작한다.

62. SR 플립플롭을 이용하여 다음과 같이 연결하였을 때 기능상 어느 플립 플롭과 같은가?

- ① JK 플립플롭
- ② T 플립플롭
- ③ D 플립플롭
- ④ M/S형 플립플롭



$S=\bar{Q}$, $R=Q$ 이므로

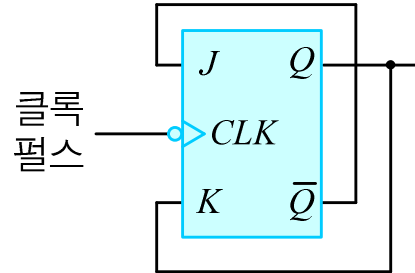
$Q=0$ 이면, $S=1$, $R=0$ 이므로 클록 펄스가 인가되면 출력 $Q=1$ 이다.

$Q=1$ 이면, $S=0$, $R=1$ 이므로 클록 펄스가 인가되면 출력 $Q=0$ 이다.

따라서 제시된 회로는 클록이 인가될 때마다 상태가 반전되므로 T 플립플롭과 같이 동작한다.

63. JK 플립플롭을 그림과 같이 연결했을 때 어떤 것과 같은가?

- ① D 플립플롭
- ② SR 플립플롭
- ③ T 플립플롭
- ④ 래치(latch)



$J = \bar{Q}, K = Q$ 이므로

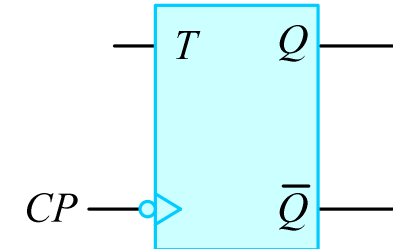
$Q=0$ 이면, $J=1, K=0$ 이므로 클록 펄스가 인가되면 출력 $Q=1$ 이다.

$Q=1$ 이면, $J=0, K=1$ 이므로 클록 펄스가 인가되면 출력 $Q=0$ 이다.

따라서 제시된 회로는 클록이 인가될 때마다 상태가 반전되므로 T 플립플롭과 같이 동작한다.

64. 그림과 같은 플립플롭의 입력 단자 T 에 클록 펄스가 인가될 경우 출력 ($Q(t+1)$)은? 단, 현재값을 $Q(t)$ 로 가정한다.

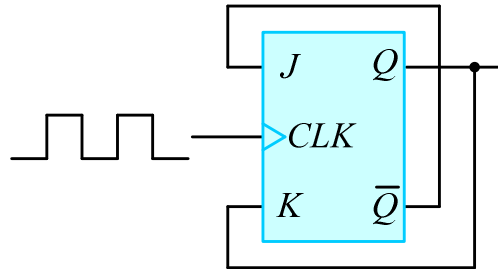
- ① $T=0$ 일 때 출력 상태는 현재값을 반전시켜 출력한다.
- ② $T=0$ 일 때 출력은 알 수가 없다.
- ③ $T=1$ 일 때 출력은 현재값을 유지하여 출력한다.
- ④ $T=1$ 일 때 출력 상태는 현재값을 반전시켜 출력한다.



T 플립플롭은 1이 입력될 때마다 출력의 상태가 반전된다.

65. JK 플립플롭을 그림과 같이 결선하고 클록 펄스가 인가될 때마다 출력 Q 의 동작 상태는?

- ① toggle
- ② reset
- ③ set
- ④ race현상



$J=\bar{Q}$, $K=Q$ 이므로

$Q=0$ 이면, $J=1$, $K=0$ 이므로 클록 펄스가 인가되면 출력 $Q=1$ 이다.

$Q=1$ 이면, $J=0$, $K=1$ 이므로 클록 펄스가 인가되면 출력 $Q=0$ 이다.

따라서 회로는 T 플립플롭과 같이 동작하므로 클록 펄스가 인가될 때마다 출력은 토글(toggle)된다.

66. T 플립플롭의 특성 설명 중 옳지 않은 것은?

- ① 특성 방정식은 $\bar{T}\bar{Q} + TQ$ 이다.
- ② $T=1$ 일 때 보수 상태가 된다.
- ③ 한 개의 입력을 필요로 한다.
- ④ 0이 입력될 때는 변화가 없다.

$Q(t)$	T	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

T 플립플롭의 특성표

	T	0	1
$Q(t)$	0		1
	1	1	

$$Q(t+1) = T\bar{Q} + \bar{T}Q$$

67. T 플립플롭에 대한 설명으로 틀린 것은?

- ① 토글 플립플롭(toggle flip-flop)이라고도 한다.
- ② 클록이 들어올 때마다 상태가 반전된다.
- ③ 출력 파형의 주파수는 입력 파형의 주파수와 동일하다.
- ④ $1/2$ 분주회로 또는 계수 회로에 많이 쓰인다.

T 플립플롭에서 출력파형의 주파수는 입력파형 주파수의 $1/2$ 이다.

68. 다음 중 T 플립플롭의 설명으로 틀린 것은?

- ① 지연 작용을 갖는 지연 플립플롭이라고도 한다.
- ② J 와 K 를 묶어서 T 입력 신호로 한 것이다.
- ③ 토글(toggle) 플립플롭이라고도 한다.
- ④ 입력 T 가 0일 경우에는 상태가 불변이다.

D 플립플롭은 입력 D 의 상태를 1비트 타임만큼 지연되어 출력된다

69. T 플립플롭에서 $T=0$ 일 때 Q_{n+1} 의 동작 상태는?

① Q_n

② 0

③ 1

④ $\overline{Q}_n$

T 플립플롭에서 $T=0$ 일 때는 이전 상태를 유지한다.

$Q(t)$	T	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

T 플립플롭의 특성표

70. T 플립플롭의 특성 방정식은?

- ① $Q(t+1) = T$ ② $Q(t+1) = T + \bar{Q}$
 ③ $Q(t+1) = \bar{T} + Q$ ④ $Q(t+1) = \bar{T}Q + T\bar{Q}$

$Q(t)$	T	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

T 플립플롭의 특성표

	T	0	1
$Q(t)$	0		1
	1	1	

$$Q(t+1) = \bar{T}Q + T\bar{Q}$$

71. 플립플롭의 특성에 관해 설명한 것 중 옳지 않은 것은?

- ① D 플립플롭은 SR 플립플롭의 변형이다.
- ② T 플립플롭은 JK 플립플롭을 1개의 입력으로 만든 것이다.
- ③ SR 플립플롭의 $S=0, R=0$ 상태의 불안정 상태를 개선한 것이 JK 플립플롭이다.
- ④ SR 플립플롭의 $S=1, R=1$ 상태의 불안정 상태를 개선한 것이 JK 플립플롭이다.

③ SR 플립플롭의 $S=1, R=1$ 상태의 불안정 상태를 개선한 것이 JK 플립플롭이다.

72. 플립플롭에 대한 설명 중 틀린 것은?

- ① D 플립플롭의 D 입력에 1을 입력하면 출력은 1이 된다.
- ② T 플립플롭은 JK 플립플롭의 두 개의 입력을 하나로 묶은 플립플롭이다.
- ③ JK 플립플롭의 입력 JK 에 동시에 0이 입력되면 출력은 현 상태의 값이 된다.
- ④ JK 플립플롭의 입력 JK 에 동시에 1이 입력되면 출력은 1이 된다.

④ JK 플립플롭의 입력 JK 에 동시에 1이 입력되면 출력은 반전된다.

73. 플립플롭에 관한 설명 중 틀린 것은?

- ① D 플립플롭은 1비트 지연 소자로 동작한다.
- ② T 플립플롭은 클록 펄스가 발생하면 출력이 현재 상태의 보수가 된다.
- ③ JK 플립플롭은 2개의 입력 신호가 동시에 1이 되면 부정 상태가 된다.
- ④ 주종 플립플롭의 클록 펄스는 주 플립플롭과 종 플립플롭이 서로 반전되어 가해진다.

③ JK 플립플롭은 2개의 입력 신호가 동시에 1이 되면 현재 상태의 보수가 된다.

74. 플립플롭에 관한 설명 중 옳지 않은 것은?

- ① 0 또는 1을 저장할 수 있다.
- ② 조합논리회로에 필수적으로 사용된다.
- ③ D 플립플롭은 입력 신호를 지연시켜서 그대로 출력한다.
- ④ T 플립플롭은 입력 신호가 1일 때 전 출력값의 보수를 출력한다.

플립플롭은 순서논리회로에 필수적으로 사용된다.

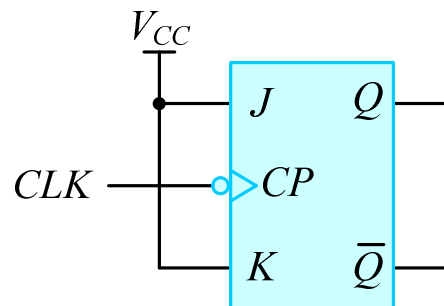
75. 1KHz의 주파수를 500Hz로 변환하여 사용하고자 할 때 사용되는 플립플롭 회로는?

- ① SR 플립플롭 ② JK 플립플롭
- ③ T 플립플롭 ④ D 플립플롭

T 플립플롭의 출력은 입력 주파수의 $\frac{1}{2}$ 인 파형이 출력된다.

76. 그림에서 클록 펄스가 CLK 입력에 인가되었다. Q의 주파수는?

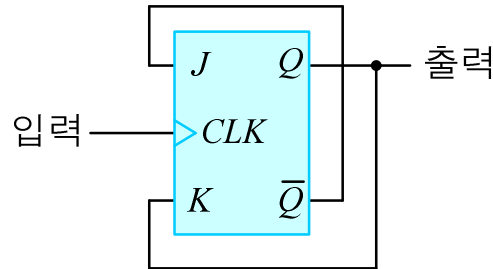
- ① $\frac{CLK}{2}$
- ② $\frac{CLK}{4}$
- ③ $2 \times CLK$
- ④ $4 \times CLK$



JK 플립플롭을 이용한 T 플립플롭이므로 출력은 입력의 $\frac{1}{2}$ 인 클럭이 출력된다.

77. 다음 JK 플립플롭의 입력 신호 주파수가 1MHz일 때 출력 신호의 주파수는?

- ① 100KHz
- ② 500KHz
- ③ 1MHz
- ④ 4MHz



회로는 JK 플립플롭을 이용한 T 플립플롭이므로 출력 주파수는 입력 주파수의 $\frac{1}{2}$ 이다.
따라서 $1\text{MHz}/2 = 0.5\text{MHz} = 500\text{KHz}$ 이다.

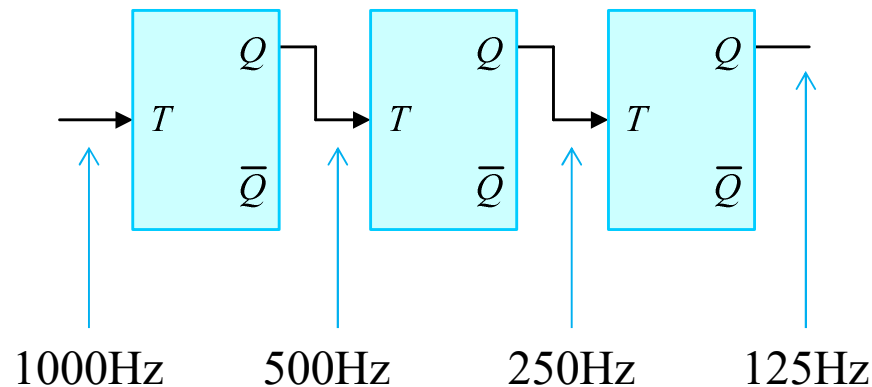
78. T 플립플롭을 2단 직렬 연결한 후 입력에 4KHz 펄스를 인가하면 출력은?

- ① 16KHz ② 8KHz ③ 2KHz ④ 1KHz

$$4\text{KHz}/2^2 = 1\text{KHz}$$

79. 그림과 같이 T 플립플롭을 접속하고 첫 번째 플립플롭에 1,000Hz의 구형파를 가해주면 최종 플립플롭에서의 출력 주파수는?

- ① 1000Hz
② 500Hz
③ 250Hz
④ 125Hz



$$1000\text{Hz}/2^3 = 125\text{Hz}$$

80. 7개의 T 플립플롭을 종속 접속하였다. 입력 주파수가 512Hz이면 최종 출력 주파수는 몇 Hz인가?

- ① 4Hz ② 8Hz ③ 12Hz ④ 16Hz

$$512\text{Hz}/2^7 = 4\text{Hz}$$

81. 100MHz 발진기를 사용해서 25MHz를 만들려면 몇 개의 T 형 플립플롭이 필요한가?

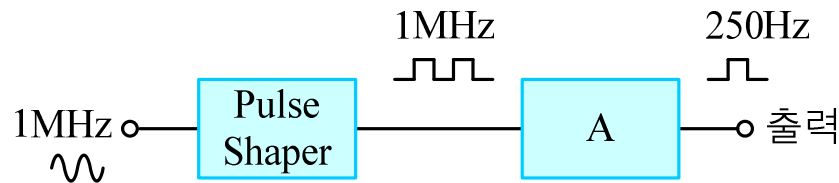
- ① 1개 ② 2개 ③ 3개 ④ 4개

$100\text{MHz}/2^x = 25\text{MHz}$ 를 만족하는 x 는 2이다.

$$2^x = \frac{100\text{MHz}}{25\text{MHz}} \leftrightarrow 2^x = 4, \quad \therefore x = 2$$

82. 다음과 같이 1MHz의 수정 발진기 출력을 펄스 정형회로(pulse shaper)를 거쳐 구형파로 바꾼 후, 250Hz의 클록 주파수를 만들고자 한다. 블록 A에 카운터를 설계하여 분주하는 경우, 최소 몇 개의 플립플롭이 필요한가?

- ① 10개 ② 11개 ③ 12개 ④ 13개



$1\text{MHz}/2^x = 250\text{Hz}$ 를 만족하는 x 는 12이다.

$$2^x = \frac{10^6}{250} \leftrightarrow 2^x = 4000, \quad \therefore x = 12$$

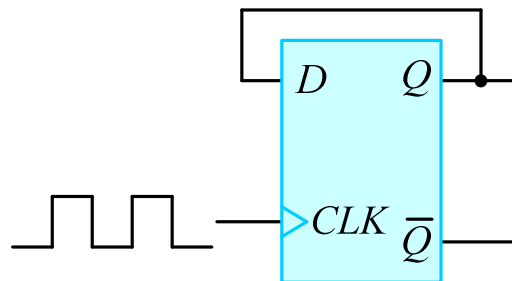
83. 4개의 JK 플립플롭을 이용하여 구성할 수 있는 분주기의 최댓값은 얼마인가?

- ① 8분주기 ② 10분주기 ③ 16분주기 ④ 24분주기

$$2^4 = 16$$

84. D 플립플롭을 이용하여 그림과 같은 회로를 구성하고, 클록(CLK) 단자에 5KHz 클록 펄스를 인가하였다. 동작 시작 단계에서 Q 출력을 +5V로 하였다면 출력은?

- ① 10KHz
② 2.5KHz
③ 5KHz
④ +5V DC



D 플립플롭은 입력이 출력으로 나타난다.

회로에서 D 입력은 항상 +5V이므로 출력도 +5V가 출력된다.

85. 주인의 역할을 하는 회로와 종의 역할을 하는 2개의 별개 플립플롭으로 구성된 플립플롭은?

- ① JK 플립플롭 ② T 플립플롭
- ③ M/S 플립플롭 ④ D 플립플롭

Master-Slave 플립플롭은 master 플립플롭과 slave 플립플롭으로 구성된다.

86. 2개의 레벨 트리거 플립플롭을 직렬로 연결하며, 레이스(race) 현상을 방지하기 위한 회로는?

- ① T ② SR
- ③ M/S ④ JK

Master-Slave 플립플롭은 레이스 현상을 방지하기 위해 제안된 플립플롭이다.

89. 마스터-슬레이브 플립플롭은 어떤 문제를 해결하기 위한 회로인가?

- ① 딜레이(delay)현상
- ② 부정상태 제거
- ③ 토글(toggle)상태
- ④ 레이스(race) 현상

Master-Slave 플립플롭은 레이스 현상을 해결하기 위해 제안된 플립플롭이다.

90. 레이스(race) 현상을 방지하기 위하여 사용되는 플립플롭은?

- ① *D* 플립플롭
- ② *SR* 플립플롭
- ③ *JK* 플립플롭
- ④ *M/S* 플립플롭

Master-Slave 플립플롭은 레이스 현상을 해결하기 위한 플립플롭이다.

91. M/S(Master-Slave) 플립플롭에 대한 설명으로 옳지 않은 것은?

- ① SR 플립플롭 2개로 구성할 수 있다.
- ② master와 slave에 각각 서로 다른 상태의 CP(clock pulse)를 가한다.
- ③ 플립플롭의 레이스 현상이 일어나는 것을 제거하기 위한 것이다.
- ④ JK 플립플롭에서 불변 동작이 일어나는 것을 제거하기 위한 것이다.

Master-Slave 플립플롭은 어떤 형태의 플립플롭으로도 구성이 가능하며, master 플립플롭과 slave 플립플롭으로 된다. Master 플립플롭에는 클록 펄스를 그대로 인가하며, slave 플립플롭에는 반전된 클록 입력이 인가된다. M/S 플립플롭은 레이스 현상을 방지하기 위해 제안된 플립플롭이지만 최근에는 레이스 현상을 피하기 위해 에지 트리거 플립플롭이 많이 사용된다.

92. 마스터-슬레이브 플립플롭의 특징이 아닌 것은?

- ① 마스터-슬레이브 플립플롭은 *SR* 플립플롭만으로 구성한다.
- ② 두 개 단의 플립플롭으로 구성한다.
- ③ 데이터의 입력이 직접 출력에 연결되지 않고, 입력과 출력이 완전히 분리 동작한다.
- ④ *JK* 플립플롭인 경우 클록 펄스가 1일 때 출력 상태가 변화하면 입력 측에 변화를 일으켜 오동작 발생을 막아 준다.

Master-Slave 플립플롭은 어떤 형태의 플립플롭으로도 구성이 가능하다.

93. JK 플립플롭에서 발생할 수 있는 레이스(race) 현상의 원인이 되는 것은?

- ① J 입력과 K 입력으로 들어가는 신호의 전파지연시간이 서로 다르기 때문이다.
- ② 클록 펄스의 폭이 주입력에서 주출력까지의 전파 지연 시간보다 클 경우에 발생한다.
- ③ 회로의 출력 Q 와 $\bar{Q}$ 가 동일한 값을 가질 경우에 발생한다.
- ④ NAND 게이트와 NOR 게이트를 혼용할 경우 발생한다.

Master-Slave 플립플롭은 클록 펄스의 폭이 master 입력에서 slave 출력까지의 전파 지연 시간보다 클 경우에 발생한다. M/S 플립플롭은 레이스 현상을 방지하기 위해 제안된 플립플롭이지만 최근에는 레이스 현상을 피하기 위해 에지 트리거 플립플롭이 많이 사용된다.

94. M/S Flip-Flop의 진리표에서 $J_n=1, K_n=0$ 이고 클럭 펄스를 인가할 때 출력 Q_{n+1} 의 값은?

- ① Q_n
② 0
- ③** 1
④ 불확정

JK 플립플롭과 동일하게 $J=1, K=0$ 이면 출력은 세트된다.

95. 마스터-슬레이브 JK 플립플롭에서 클록 펄스가 들어올 때마다 출력 상태를 반전시키기 위한 J와 K의 입력으로 옳은 것은?

- ① $J=1, K=1$

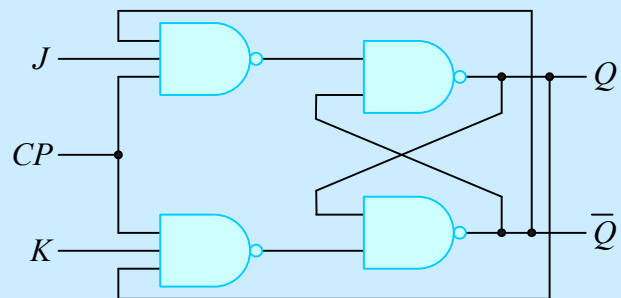
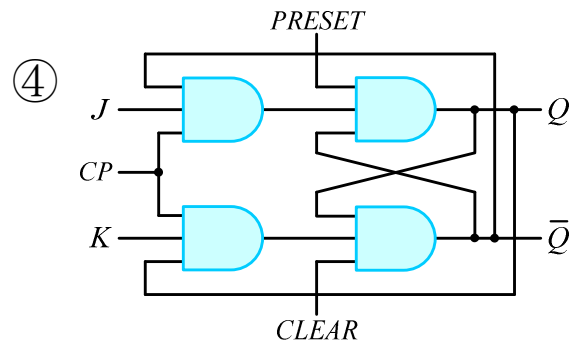
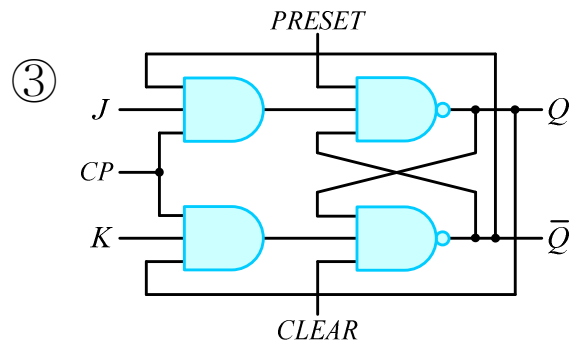
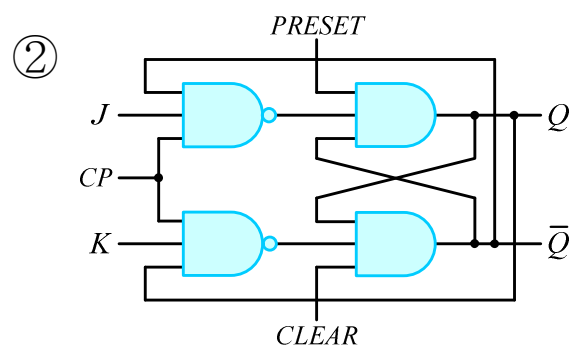
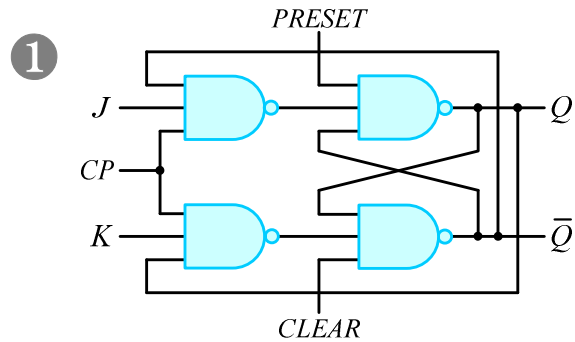
③ $J=0, K=1$

② $J=1, K=0$

④ $J=0, K=0$

JK 플립플롭과 동일하게 $J=1, K=1$ 일 때 클럭 펄스가 입력되면 이전 출력이 반전된다.

96. 클록 펄스에 관계없이 비동기 입력을 가진 JK 플립플롭의 논리회로로 옳바른 것은?



NAND 레치를 이용한 JK 플립플롭

97. 다음 표와 같이 동작하는 MN 플립플롭이 있다고 가정할 경우, 현재 상태 출력 $Q(t)=1$ 일 때 다음 상태 출력 $Q(t+1)=1$ 이기 위한 M 과 N 의 입력으로 가장 적당한 것은? 단, $\times$ 는 don't care이다.

① $M=1, N=\times$

② $M=0, N=\times$

③ $M=\times, N=1$

④ $M=\times, N=0$

M	N	$Q(t+1)$
0	0	0
0	1	$\underline{Q}$
1	0	$\overline{Q}$
1	1	1

M	N	$Q(t)$	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

$\rightarrow M = \times, N = 1$

MN 플립플롭의 특성표

98. 디지털 회로에서 clock pulse가 오기 전에 입력하고자 하는 입력 자료가 미리 대기하고 있어야 원하는 결과를 얻을 수 있다. 이 때 대기하는 시간을 무엇이라 하는가?

- ① propagation delay time
- ② Setup time
- ③ Hold time
- ④ Access time

플립플롭의 정상적인 동작을 위해 클록 펄스의 상승 에지 전이 전에 입력값이 일정 시간 동안 유지되어야 하는데, 이 때 필요한 시간 간격을 설정 시간(setup time)이라고 한다.

99. 플립플롭의 동작 특성 중 클록 펄스가 상승 에지 변이 이후에도 입력값이 변해서는 안 되는 일정한 시간을 의미하는 것은?

- ① 전파 지연 시간 + 홀드 시간 + 설정 시간
- ② 전파 지연 시간
- ③ 홀드 시간
- ④ 설정 시간

플립플롭의 정상적인 동작을 위해서 클록 펄스가 상승에지 전이 후에도 입력값이 변하면 안되는 일정한 시간이 있는데, 이때 필요한 시간 간격을 유지 시간(hold time)이라고 한다.

100. 10개의 플립플롭이 +5V 직류전원에서 동작하고 25mA의 전류가 흐른다면 전력 소모량은 얼마인가?

- ① 125mW ② 250mW
③ 1.25W ④ 2.5W

플립플롭 1개당 전력 소모는 $P=V_{CC}\times I_{CC}=5V\times 25mA=125mW$ 이다.

따라서 플롭플롭 10개의 전력 소모량은 $10 \times 125\text{mW} = 1250\text{mW} = 1.25\text{W}$ 이다.

102. 어떤 플립플롭의 전파 지연 시간이 50ns라고 하면 이 플립플롭이 정상적인 동작을 하도록 인가할 수 있는 클록의 최대 주파수는 몇 MHz인가?

- ① 5MHz ② 10MHz ③ 20MHz ④ 50MHz

$$f_{\max} = \frac{1}{50 \times 10^{-9}} = 20 \times 10^6 \text{ Hz} = 20 \text{ MHz}$$

103. D 플립플롭은 클록 펄스를 0에서 1로 가하기 전에 D 입력에 새로운 입력값을 일정시간 동안 유지하여 주어야 한다. 이 시간을 무엇이라고 하는가?

- ① setup 시간 ② hold 시간
③ idle 시간 ④ 실행시간

클록 펄스의 상승에지 전이 전에 입력값은 일정 시간 동안 유지해 주어야 하는데 이때 필요한 시간 간격을 설정 시간(set-up time)이라고 한다.

104. 플립플롭(flip-flop)과 같은 기능을 갖는 것은?

- ① 슈미트 트리거(Schmitt trigger)
- ② 비안정 멀티바이브레이터
- ③ 단안정 멀티바이브레이터
- ④ **쌍안정 멀티바이브레이터**

쌍안정 멀티바이브레이터는 플립플롭과 같음

105. 두 개의 안정 상태를 가지고 있는 쌍안정 멀티바이브레이터를 의미하는 것은?

- ① 인코더
- ② 디코더
- ③ **플립플롭**
- ④ 멀티플렉서

쌍안정 멀티바이브레이터는 플립플롭과 같음

106. 플립플롭은 몇 개의 안정 상태를 갖는가?

- ① 1개 ② 2개 ③ 4개 ④ ∞

플립플롭은 쌍안정 멀티바이브레이터와 같으므로 2개의 안정 상태를 갖는다.

107. 다음 중 외부로부터 트리거(trigger) 신호 없이 스스로 준안정 상태에서 다른 준안정 상태로 변화를 되풀이하는 것은?

- ① 비안정 멀티바이브레이터
- ② 쌍안정 멀티바이브레이터
- ③ 단안정 멀티바이브레이터
- ④ 슈미트 트리거

무안정(또는 비안정, 불안정) 멀티바이브레이터는 불안정한 두 가지 상태 High 또는 Low 상태를 가지며, 한 쪽 상태에 머무르지 못하고 두 상태를 왔다 갔다 하는 것으로서 일종의 발진기(oscillator)다. 이것은 외부 입력 없이 스스로 주기적인 구형파를 발생시킨다.

108. 전원이 인가된 상태에서 연속적으로 펄스를 발생시키고자 할 때 사용 되는 것은?

- ① 비안정 멀티바이브레이터
- ② 쌍안정 멀티바이브레이터
- ③ 단안정 멀티바이브레이터
- ④ 클램프 회로

비안정(무안정) 멀티바이브레이터는 구형파 발진기로 사용된다.

109. 비안정 멀티바이브레이터 회로에서 출력 전압의 파형은?

- ① 구형파
- ② 정현파
- ③ 삼각파
- ④ 스텝파

비안정(무안정) 멀티바이브레이터는 구형파 발진기로 사용된다.

110. 외부 트리거 입력 신호가 인가되는 경우에만 폭이 0.1ms 이고 전압이 5V 인 펄스를 발생시켜 출력하고자 한다. 이러한 목적에 가장 적합한 것은?

- ① 슈미트 트리거회로
- ② 비안정 멀티바이브레이터
- ③ 쌍안정 멀티바이브레이터
- ④ 단안정 멀티바이브레이터

단안정 멀티바이브레이터는 one-shot 멀티바이브레이터라고도 한다.